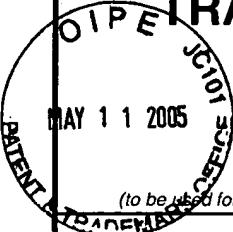
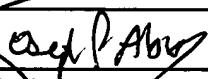
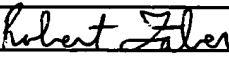


1PAW

<b>TRANSMITTAL FORM</b> 		Application Number	10/605,633
		Filing Date	10/15/03
		First Named Inventor	Manabu Kodate
		Art Unit	2871
		Examiner Name	Jeffrey Olsen
Total Number of Pages in This Submission		Attorney Docket Number	
		JP920010171US1	

ENCLOSURES <i>(Check all that apply)</i>		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Reply to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____ <input type="checkbox"/> Landscape Table on CD	<input type="checkbox"/> After Allowance Communication to TC <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT			
Firm Name	International Business Machines Corporation		
Signature			
Printed name	Joseph P. Abate		
Date	5-9-05	Reg. No.	30,238

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below:			
Signature			
Typed or printed name	Robert Faber	Date	5-9-05

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年10月31日

出願番号

Application Number:

特願2001-334507

ST.10/C ]:

[JP2001-334507]

出願人

Applicant(s):

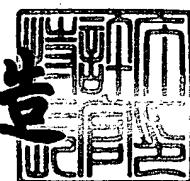
インターナショナル・ビジネス・マシーンズ・コーポレーション

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2002年 1月25日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3000803

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 JP9010171

【提出日】 平成13年10月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 神奈川県大和市下鶴間1623番地14 日本アイ・ビ  
ー・エム株式会社 大和事業所内

【氏名】 古立 学

【発明者】

【住所又は居所】 神奈川県大和市下鶴間1623番地14 日本アイ・ビ  
ー・エム株式会社 大和事業所内

【氏名】 神崎 英介

【特許出願人】

【識別番号】 390009531

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレ  
ーション

【代理人】

【識別番号】 100086243

【弁理士】

【氏名又は名称】 坂口 博

【代理人】

【識別番号】 100091568

【弁理士】

【氏名又は名称】 市位 嘉宏

【代理人】

【識別番号】 100106699

【弁理士】

【氏名又は名称】 渡部 弘道

【復代理人】

【識別番号】 100104880

【弁理士】

【氏名又は名称】 古部 次郎

【選任した復代理人】

【識別番号】 100100077

【弁理士】

【氏名又は名称】 大場 充

【手数料の表示】

【予納台帳番号】 081504

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0004480

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置、画素駆動方法、および走査線駆動回路

【特許請求の範囲】

【請求項1】 表示信号を供給する複数の信号線と、

所定の信号線に接続され、第1の水平走査期間に順次選択される第1の画素電極群と、

前記所定の信号線に接続され、前記第1の水平走査期間の後の第2の水平走査期間に順次選択される第2の画素電極群と、

前記第1の水平走査期間において前記第1の画素電極群を駆動する走査信号を供給する第1の走査線群と、

前記第2の水平走査期間において前記第2の画素電極群を駆動する走査信号を供給する第2の走査線群と、

を備え、

前記第1の水平走査期間において、前記第2の走査線群のうちの所定の走査線群が選択されることにより、前記第2の画素電極群のうちの所定の画素電極が駆動され、

前記所定の走査線群は、前記第1の水平走査期間において選択されてから、前記第2の水平走査期間において前記所定の画素電極が駆動されたときまでの間、いずれか一本の走査線が非選択となっている、画像表示装置。

【請求項2】 前記所定の画素電極は、前記第1の水平走査期間および前記第2の水平走査期間において同極性で駆動される、請求項1に記載の画像表示装置。

【請求項3】 前記所定の走査線群と前記第1の走査線群とは、少なくとも一本の走査線を共有している、請求項1に記載の画像表示装置。

【請求項4】 前記各信号線は、同一の水平走査期間内に同極性の表示信号を供給し、

互いに隣接する前記信号線は、同一の水平走査期間内に異なる極性の表示信号を供給することを特徴とする請求項1に記載の画像表示装置。

【請求項5】 所定の信号線に接続されて、第1の水平走査期間内の第1

から第m（mは2以上の自然数）タイミングで順次駆動されるm個の画素電極と

前記所定の信号線に接続されて、前記第1の水平走査期間の後の第2の水平走査期間内の第1から第mタイミングで順次駆動される他のm個の画素電極と、

前記第2の水平走査期間において前記他のm個の画素電極を駆動するために選択される走査線群とを備え、

前記走査線群のうち、前記第2の水平走査期間内の第n（nは1からmまでの自然数）タイミングで選択される所定の走査線群は、前記第1の水平走査期間内においても選択される、画像表示装置。

【請求項6】 前記第1の水平走査期間内における前記所定の走査線群の選択タイミングは、前記第1の水平走査期間における第nタイミング以外のタイミングである、請求項5に記載の画像表示装置。

【請求項7】 前記所定の走査線群には、前記第1の水平走査期間内において駆動される前記m個の画素電極を駆動制御するための走査信号を供給する走査線が含まれている、請求項5に記載の画像表示装置。

【請求項8】 前記所定の走査線群は、前記第2の水平走査期間内において、前記第1タイミングから第（n-1）タイミングまで、少なくとも一本の走査線が非選択とされる、請求項5に記載の画像表示装置。

【請求項9】 前記第1の水平走査期間内における前記所定の走査線群の選択タイミングは、前記nタイミングであり、

前記所定の走査線群と、前記第1の水平走査期間の前記第nタイミングにおいて前記m個の画素電極を駆動する走査信号を供給するための走査線とが互いに異なる、請求項5に記載の画像表示装置。

【請求項10】 複数の走査線に対して接続可能な複数の出力端子と、各前記出力端子に対して複数の信号からなる信号列を出力する信号出力部と、を備え、

前記信号出力部は、一水平走査期間内に同時に複数の前記出力端子のグループに対して前記信号列を出力するとともに、一水平走査期間ごとに、当該出力端子を一個ずつシフトさせて、他の出力端子のグループに前記信号列を出力していく

かつ、所定の水平走査期間内の第一のタイミングにおいて前記出力端子のグループのうちの所定の出力端子に対して出力された信号群を、前記所定の水平走査期間の後の他の水平走査期間内の第二のタイミングにおいて前記所定の出力端子に対して出力し、

前記第一から第二のタイミングの間に、前記所定の出力端子に対して前記信号群と異なる信号を出力する、走査線駆動回路。

【請求項11】 第1の水平走査期間において所定の画素電極を選択するととも予備的に充電する第1のステップと、

前記第1の水平走査期間の後の第2の水平走査期間内に、前記所定の画素電極を含む画素電極群を順次選択して充電する第2のステップと、を備え、

前記所定の画素電極は、第1のステップにおいて印加された電位を、前記第2のステップにおいて選択されるまで保持する、画素駆動方法。

【請求項12】 画素電極がマトリックス状に配置されるとともに、同一の画素構造を有する画素電極が同列に配置され、

前記第1の水平走査期間において、前記所定の画素電極と異なる画素電極からなる他の画素電極群を順次選択して充電し、

前記第1のステップでは、前記他の画素電極群のうち、前記所定の画素電極が予備的に充電されるタイミングと同一タイミングで駆動される画素電極と異なる列にある画素電極を、前記所定の画素電極とする、請求項11記載の画素駆動方法。

【請求項13】 表示信号を供給する信号線と、

走査信号を供給する複数の走査線と、

共通する前記信号線に接続されるとともに、前記走査線のうちの隣接する二本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極AおよびBを一組とした複数組の画素電極と、

を備え、

一水平走査期間内の第1の期間において、前記走査線のうち隣接する二本の走査線が選択されて、一組の画素電極AおよびBが駆動され、

次いで第2の期間において、前記二本の走査線のうちの一方が選択されて、前記一組の画素電極のうちの画素電極Bが駆動されるとともに、当該二本の走査線を二本シフトさせた他の二本の走査線が選択されて、他の組の画素電極AおよびBを駆動する、画像表示装置。

【請求項14】 各前記走査線の入力端にそれぞれ接続される出力バッファを備え、

隣接する三つの前記出力バッファは、それぞれ異なる制御信号により制御され

各前記出力バッファには、四水平走査期間分の時間幅からなるパルス信号が一水平走査期間ごとに順次伝送される、請求項13に記載の画像表示装置。

【請求項15】 複数の画素電極がマトリックス状に配置され、同一組の画素電極AおよびBは同一行に位置するとともにその駆動極性が反転し、

かつ、互いに隣接する行に位置する画素電極A同士またはB同士はその駆動極性が反転する、請求項13に記載の画像表示装置。

【請求項16】 表示信号を供給する信号線と、

走査信号を供給する複数の走査線と、

共通する前記信号線に接続されるとともに、前記走査線のうちの隣接する三本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極A、B、Cを一組とした複数組の画素電極と、

を備え、

一水平走査期間において、隣接する三本の前記走査線のうち少なくとも二本からなる第1の走査線群が選択されて、一組の画素電極のうちの画素電極Aが駆動され、同時に、当該第1の走査線群を二本シフトさせた第2の走査線群が選択されて他の組の画素電極Aが駆動される、画像表示装置。

【請求項17】 前記走査線の入力端にそれぞれ出力バッファが接続され

隣接する3つの前記出力バッファが、それぞれ異なる制御信号により制御され

各前記出力バッファには、三水平走査期間分の時間幅の第1のパルスと、当該

第1のパルスと一水平走査期間分間隔をおいて伝搬する一水平走査期間分の時間幅の第2のパルスとからなる信号列が、一水平走査期間ごとに順次伝送される、請求項16に記載の画像表示装置。

【請求項18】 表示信号を供給する信号線と、

走査信号を供給する複数の走査線と、

同一の前記信号線に接続されるとともに、前記走査線のうちの隣接する三本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極A、B、Cを一組とした複数組の画素電極と、

を備え、

一水平走査期間において、隣接する三本の前記走査線のうち少なくとも二本からなる第1の走査線群が選択されて、一組の画素電極うちの画素電極Aが駆動され、

次いで、前記隣接する三本の走査線のうち、前記第1の走査線群と異なる第2の走査線群が選択されて、前記一組の画素電極のうちの画素電極Bが駆動されるとともに、前記第1の走査線群を一本シフトさせた第3の走査線群が選択されて他の組の画素電極Aが駆動される、画像表示装置。

【請求項19】 表示信号を供給する信号線と、

走査信号を供給する複数の走査線と、

共通する前記信号線に接続されるとともに、前記走査線のうちの隣接する二本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極AおよびBを一組とした複数組の画素電極と、

を備え、

一水平走査期間内において、前記走査線のうち隣接する二本の走査線からなる第1の走査線群が選択されて、一組の画素電極AおよびBが駆動され、同時に、前記第1の走査線群を四本シフトさせた第2の走査線群が選択されて、他の組の画素電極AおよびBが駆動される、画像表示装置。

【請求項20】 複数の画素電極がマトリックス状に配置され、同一組の画素電極AおよびBは同一行に位置し、かつ、二行ごとに前記画素電極の駆動極性が反転することを特徴とする、請求項19に記載の画像表示装置。

【請求項21】 前記走査線の入力端にそれぞれ出力バッファが接続され

隣接する3つの前記出力バッファは、それぞれ異なる制御信号により制御され

各前記出力バッファには、二水平走査期間分の時間幅の第1のパルスと、当該第1のパルスと二水平走査期間分間隔をおいて伝搬する二水平走査期間分の時間幅の第2のパルスと、からなる信号列が、一水平走査期間ごとに順次伝送される、請求項19に記載の画像表示装置。

【請求項22】 走査信号を供給する複数の走査線と、

複数系統の出力制御線と、

前記出力制御線の各系統にそれぞれ割り当てられて接続される複数の出力バッファと、

前記出力制御線の各系統に、それぞれ異なる制御信号を出力する制御信号出力部と、

を備える、画像表示装置。

【請求項23】 前記各出力バッファに対して、所定の時間幅のパルス信号を順次伝搬させるパルス信号供給部を備え、

前記パルス信号は、一水平走査期間のm(mは自然数)倍の時間幅を有し、なおかつ前記出力制御線は、前記mと異なるn(nは2以上の自然数)系統とされていることを特徴とする、請求項22記載の画像表示装置。

【請求項24】 複数の走査線にそれぞれ接続可能な複数の出力端子と、

各前記出力端子にそれぞれ接続される出力回路と、

前記出力回路の出力を制御する制御信号を生成する制御信号生成部と、

を備え、

前記制御信号は、n(nは2以上の自然数)種類生成されるとともに、前記n個の前記出力回路に、各種類の前記制御信号がそれぞれ供給される、走査線駆動回路。

【請求項25】 各前記出力回路のそれぞれに接続されるとともに、互いにカスケード接続される複数のシフトレジスタと、

前記複数のシフトレジスタを駆動するクロック信号を生成するクロック信号生成部と、

前記複数のシフトレジスタに順次伝搬すべき信号列を生成する信号列生成部と

前記信号列は、前記クロック信号の  $m$  ( $m$  は自然数) 倍の時間幅を有し、前記  $m$  は前記  $n$  より大きい、請求項 2 4 に記載の走査線駆動回路。

【請求項 2 6】 各前記出力回路のそれぞれに接続されるとともに、互いにカスケード接続される複数のシフトレジスタと、

前記複数のシフトレジスタを駆動するクロック信号を生成するクロック信号生成部と、

前記複数のシフトレジスタに順次伝搬すべき信号列を生成する信号列生成部と

前記信号列は、前記クロック信号の  $m$  ( $m$  は自然数) 倍の時間幅を有し、前記  $m$  は前記  $n$  より小さい、請求項 2 4 に記載の走査線駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像表示装置等に係り、特に液晶表示装置の高精細化に寄与する技術に関する。

【0002】

【従来の技術】

周知のように、アクティブマトリックス駆動の表示装置においては、表示画素数が多くなるにつれて駆動 I C の数も多くなり、これがコスト高を招く一因となっている。また、画面の高精細化に伴って画素間隔が狭まり画素と駆動 I Cとの接続が困難となってきている。そこで、これらの問題を同時に解決するために、隣接する 2 つ以上の画素に 1 本のデータ配線から時分割で電位を与え、駆動 I C の数を減らすとともに接続端子のピッチを大きくする多重化画素構造の表示装置が提案されている（例えば、特開平 5-303114 号公報、特開平 8-248385 号公報）。

## 【0003】

## 【発明が解決しようとする課題】

こうした多重化された画素構造を有する表示装置においては、一行の画素に対して、一水平走査期間内において画素の多重化度に応じた複数種の選択信号を供給する必要がある。このため通常、画素の多重化度に応じた他系統の走査線の組み合わせによって画素を選択するようになっている。しかしながら、このような複数種の選択信号を供給するための選択論理は確立されていない。すなわち、複数の走査線を選択するには、走査線の入力端に接続されたバッファに対して、複数のシフトクロックからなる選択パルスを順次伝搬させればよいが、選択パルスだけでは論理を構成できないので、バッファのON/OFFを制御する出力制御線を複数系統設ける必要がある。しかしながら、出力制御線の系統数と選択パルスのシフトクロック数との関係、あるいは、どのような出力制御信号によって、効率的にバッファのON/OFFを制御できるかなどは、明らかになっていない。

## 【0004】

また、これらの表示装置では、従来、一つの画素に電荷を与えていた時間に、時分割で二つ以上の画素に電荷を与えるため、充電時間が短くなり、したがって、選択素子を大きくしない限り、印加電位の精度が低下してしまうという問題点があった。このような充電量不足を補うためには、プレチャージという方法が一般的に知られている。プレチャージとは、画素に書き込みを行う以前のタイミングで、あらかじめ同じ極性のデータを当該画素に書き込んでおき、これにより、画素書き込み時の充電量が少ない場合においても、所望の充電量を実現することである。

## 【0005】

こうしたプレチャージの手法は、多重化されていない画素を有する表示装置においても、高解像度ゆえに書き込み時間が十分取れない場合に、適用することができる。多重化がなされておらず通常画素駆動が行われるこうした表示装置においては、プレチャージを行うタイミングは、プレチャージ対象の画素にもっとも近い同極性の画素の選択時に一意に決定することができる。しかしながら多重化

された画素構造を有する表示装置において、他系統の走査線が隣接する行で共有されていると、反転駆動のタイミングや組み合わせ論理によってプレチャージのタイミングを一意に決めることが困難となる。

## 【0006】

本発明は、このような技術的課題に基づいてなされたもので、効率的に、多重化された画素に選択信号を供給することができるような画像表示装置等を提供することを目的とする。また、容易に、プレチャージのタイミングおよび画素の駆動波形や駆動方法を決定することができるような画像表示装置等を提供することを他の目的とする。

## 【0007】

## 【課題を解決するための手段】

かかる目的のもと、本発明の画像表示装置は、以下のような特徴点を有している。すなわち、本発明が適用された画像表示装置は、表示信号を供給する複数の信号線と、所定の信号線に接続され、第1の水平走査期間に順次選択される第1の画素電極群と、この所定の信号線に接続され、第1の水平走査期間の後の第2の水平走査期間に順次選択される第2の画素電極群と、第1の水平走査期間において第1の画素電極群を駆動する走査信号を供給する第1の走査線群と、第2の水平走査期間において第2の画素電極群を駆動する走査信号を供給する第2の走査線群と、を備えている。さらに、この画像表示装置は、第1の水平走査期間において、第2の走査線群のうちの所定の走査線群が選択されることにより、第2の画素電極群のうちの所定の画素電極が駆動され、かつ、所定の走査線群は、第1の水平走査期間において選択されてから、第2の水平走査期間において所定の画素電極が駆動されたときまでの間、いずれか一本の走査線が非選択となっていることを特徴としている。

このような構成において、所定の走査線群は、第1の水平走査期間において選択されてから、第2の水平走査期間において所定の画素電極が駆動されたときまでの間、いずれか一本が非選択となっていることから、所定の走査線群を選択されることにより駆動される所定の画素電極は、この期間チャージされることがない。したがって、第1の水平走査期間における所定の画素電極の駆動をプレチャ

ージとすることができます。

【0008】

なお、この場合、所定の画素電極が、第1の水平走査期間および第2の水平走査期間において同極性で駆動されることが望ましい。また、所定の走査線群と第1の走査線群とは、少なくとも一本の走査線を共有していてもよい。これにより同時に選択すべき走査線数を減ずることができる。

また、この場合、各信号線は、同一の水平走査期間内に同極性の表示信号を供給するとともに、互いに隣接する信号線が、同一の水平走査期間内に異なる極性の表示信号を供給することが望ましい。これにより、多重化された画素（同一の水平走査期間内に順次選択される画素）ごとに、その極性を反転させた駆動を行うことができる。

【0009】

また、本発明は、次のような画像表示装置の発明としても捉えることができる。すなわち、本発明が適用された画像表示装置は、所定の信号線に接続されて、第1の水平走査期間内の第1から第m（mは2以上の自然数）タイミングで順次駆動されるm個の画素電極と、所定の信号線に接続されて、第1の水平走査期間の後の第2の水平走査期間内の第1から第mタイミングで順次駆動される他のm個の画素電極と、第2の水平走査期間において他のm個の画素電極を駆動するために選択される走査線群とを備え、走査線群のうち、第2の水平走査期間内の第n（nは1からmまでの自然数）タイミングで選択される所定の走査線群が、第1の水平走査期間内においても選択されることを特徴としている。

このように、第2の水平走査期間のうち第nタイミングで選択される走査線を第1の水平走査期間においても選択することによって、第2の水平走査期間のうち、第n番目に駆動される画素をプレチャージすることができる。

【0010】

この場合、第1の水平走査期間内における所定の走査線群の選択タイミングは、第1の水平走査期間における第nタイミング以外のタイミングであってもよい。また、所定の走査線群には、第1の水平走査期間内において駆動されるm個の画素電極を駆動制御するための走査信号を供給する走査線が含まれていてもよい

また、所定の走査線群は、第2の水平走査期間内において、第1タイミングから第(n-1)タイミングまでの間、少なくとも1本の走査線が非選択とされるものであることが好適である。これにより所定の走査線群が選択されることにより駆動される画素電極は、第2の水平走査期間において、第1タイミングから第(n-1)タイミングまでの間、駆動されず、第nタイミングで初めて駆動されることとなる。

さらに、第1の水平走査期間内における所定の走査線群の選択タイミングは、第nタイミングであり、かつ、所定の走査線群と、第1の水平走査期間の第nタイミングにおいて、m個の画素電極を駆動する走査信号を供給するための走査線とが互いに異なっていてもよい。

#### 【0011】

また、本発明は、走査線駆動回路の発明としても捉えることができる。すなわち、本発明が適用された走査線駆動回路は、複数の走査線に対して接続可能な複数の出力端子と、各出力端子に対して複数の信号からなる信号列を出力する信号出力部と、を備え、信号出力部が、一水平走査期間内に同時に複数の出力端子のグループに対して信号列を出力するとともに、一水平走査期間ごとに、当該出力端子を一個ずつシフトさせて、他の出力端子のグループに信号列を出力していくものであることを特徴としている。かつ、所定の水平走査期間内の第一のタイミングにおいて出力端子のグループのうちの所定の出力端子に対して出力された信号群を、この所定の水平走査期間の後の他の水平走査期間内の第二のタイミングにおいて所定の出力端子に対して出力し、第一から第二のタイミングの間に、所定の出力端子に対して信号群と異なる信号を出力することを特徴としている。

このような構成によって、所定の出力端子に接続される走査線を選択することにより駆動される画素電極を、第一および第二のタイミングで駆動することができ、かつ、第一のタイミングから第二のタイミングでは、この画素電極を駆動させないようにすることができる。すなわち、この画素電極を第一のタイミングでプレチャージし、かつ第二のタイミングでチャージするまで、この画素電極が、プレチャージされた電位を保持することが可能となる。

## 【0012】

また、本発明は、画素駆動方法の発明としても捉えることができる。すなわち、本発明が適用された画素駆動方法は、第1の水平走査期間において所定の画素電極を選択するとともに予備的に充電する第1のステップと、第1の水平走査期間の後の第2の水平走査期間内に、所定の画素電極を含む画素電極群を順次選択して充電する第2のステップと、を備え、かつ、この所定の画素電極は、第1のステップにおいて印加された電位を、前記第2のステップにおいて選択されるまで保持することを特徴としている。

## 【0013】

ここで、画素電極がマトリックス状に配置されるとともに、同一の画素構造を有する画素電極が同列に配置されている場合に、第1の水平走査期間において、所定の画素電極と異なる画素電極からなる他の画素電極群を順次選択して充電するとともに、第1のステップでは、他の画素電極群のうち、所定の画素電極が予備的に充電されるタイミングと同一タイミングで駆動される画素電極と異なる列にある画素電極を、所定の画素電極とするようにしてもよい。

## 【0014】

また、本発明は、次のような画像表示装置の発明としても捉えることができる。

すなわち、本発明の画像表示装置は、表示信号を供給する信号線と、走査信号を供給する複数の走査線と、共通する信号線に接続されるとともに走査線のうちの隣接する二本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極AおよびBを一組とした複数組の画素電極と、を備え、一水平走査期間内の第1の期間において、走査線のうち隣接する二本の走査線が選択され、一組の画素電極AおよびBが駆動され、次いで第2の期間において、二本の走査線のうちの一方が選択されて、一組の画素電極のうちの画素電極Bが駆動されるとともに、この二本の走査線を二本シフトさせた他の二本の走査線が選択され、他の組の画素電極AおよびBを駆動することを特徴としている。

このような構成により、画素電極Bを駆動している間に、他の組の画素電極Aをプレチャージすることが可能となる。

## 【0015】

この場合、画像表示装置が、各走査線の入力端にそれぞれ接続される出力バッファを備えており、隣接する三つの出力バッファが、それぞれ異なる制御信号により制御され、各出力バッファには、四水平走査期間分の時間幅からなるパルス信号が一水平走査期間ごとに順次伝送されることが好適である。

さらに、この場合、複数の画素電極がマトリックス状に配置され、同一組の画素電極AおよびBが同一行に位置するとともにその駆動極性が反転し、かつ、互いに隣接する行に位置する画素電極A同士またはB同士はその駆動極性が反転することが好適である。

## 【0016】

また、本発明は、次のような画像表示装置の発明としても捉えることができる

すなわち、本発明が適用された画像表示装置は、表示信号を供給する信号線と、走査信号を供給する複数の走査線と、共通する信号線に接続されるとともに、走査線のうちの隣接する三本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極A、B、Cを一組とした複数組の画素電極と、を備え、一水平走査期間において、隣接する三本の走査線のうち少なくとも二本からなる第1の走査線群が選択されて、一組の画素電極のうちの画素電極Aが駆動され、同時に当該第1の走査線群を二本シフトさせた第2の走査線群が選択されて他の組の画素電極Aが駆動されることを特徴としている。

## 【0017】

この場合、走査線の入力端にそれぞれ出力バッファが接続され、隣接する3つの前記出力バッファが、それぞれ異なる制御信号により制御され、各出力バッファには、三水平走査期間分の時間幅の第1のパルスと、当該第1のパルスと一水平走査期間分間隔をおいて伝搬する一水平走査期間分の時間幅の第2のパルスとからなる信号列が、一水平走査期間ごとに順次伝送されるものであることが好適である。

## 【0018】

また、本発明は、次のような画像表示装置の発明としても捉えることができる

すなわち、本発明が適用された画像表示装置は、表示信号を供給する信号線と、走査信号を供給する複数の走査線と、同一の信号線に接続されるとともに、走査線のうちの隣接する三本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極A、B、Cを一組とした複数組の画素電極と、を備え、一水平走査期間において、隣接する三本の前記走査線のうち少なくとも二本からなる第1の走査線群が選択されて、一組の画素電極うちの画素電極Aが駆動され、次いで、隣接する三本の走査線のうち、第1の走査線群と異なる第2の走査線群が選択されて、その一組の画素電極のうちの画素電極Bが駆動されるとともに、第1の走査線群を一本シフトさせた第3の走査線群が選択されて他の組の画素電極Aが駆動されることを特徴としている。

## 【0019】

さらに、本発明は、次のような画像表示装置の発明としても捉えることができる。すなわち、本発明が適用された画像表示装置は、表示信号を供給する信号線と、走査信号を供給する複数の走査線と、共通する信号線に接続されるとともに、走査線のうちの隣接する二本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極AおよびBを一組とした複数組の画素電極と、を備え、一水平走査期間内において、走査線のうち隣接する二本の走査線からなる第1の走査線群が選択されて一組の画素電極AおよびBが駆動され、同時に、前記第1の走査線群を四本シフトさせた第2の走査線群が選択されて他の組の画素電極AおよびBが駆動されることを特徴としている。

## 【0020】

この場合、複数の画素電極がマトリックス状に配置され、同一組の画素電極AおよびBは同一行に位置し、かつ、二行ごとに画素電極の駆動極性が反転することが好適である。さらに、この場合、走査線の入力端にそれぞれ出力バッファが接続されるとともに、隣接する3つの出力バッファが、それぞれ異なる制御信号により制御され、各出力バッファには、二水平走査期間分の時間幅の第1のパルスと、第1のパルスと二水平走査期間分間隔をおいて伝搬する二水平走査期間分の時間幅の第2のパルスと、からなる信号列が、一水平走査期間ごとに順次伝送

されることが好適である。

【0021】

また、他の観点から捉えると、本発明は次のような画像表示装置としても捉えることができる。すなわち、走査信号を供給する複数の走査線と、複数系統の出力制御線と、出力制御線の各系統にそれぞれ割り当てられて接続される複数の出力バッファと、出力制御線の各系統に、それぞれ異なる制御信号を出力する制御信号出力部と、を備えることを特徴としている。

このような構成によって、複数の走査線に対する信号の供給を同時に制御することができ、複数の走査線の選択の組み合わせにより駆動される画素電極を容易に駆動することができる。

【0022】

この場合、この画像表示装置が、各出力バッファに対して、所定の時間幅のパルス信号を順次伝搬させるパルス信号供給部を備えるとともに、パルス信号が、一水平走査期間の  $m$  ( $m$  は自然数) 倍の時間幅を有し、なおかつ出力制御線は、 $m$  と異なる  $n$  ( $n$  は 2 以上の自然数) 系統とされていることが好適である。

【0023】

また、本発明は、次のような走査線駆動回路の発明としても捉えることができる。すなわち、本発明が適用された走査線駆動回路は、複数の走査線にそれぞれ接続可能な複数の出力端子と、各出力端子にそれぞれ接続される出力回路と、出力回路の出力を制御する制御信号を生成する制御信号生成部と、を備え、制御信号は、 $n$  ( $n$  は 2 以上の自然数) 種類生成されるとともに、 $n$  個の出力回路に、各種類の制御信号がそれぞれ供給されることを特徴としている。

【0024】

このような走査線駆動回路は、各出力回路のそれぞれに接続されるとともに、互いにカスケード接続される複数のシフトレジスタと、複数のシフトレジスタを駆動するクロック信号を生成するクロック信号生成部と、複数のシフトレジスタに順次伝搬すべき信号列を生成する信号列生成部とを備えていることが望ましい。この信号列は、クロック信号の  $m$  ( $m$  は自然数) 倍の時間幅を有していることが好適であるが、 $m$  は  $n$  より大きくてよいし、小さくてもよい。

特に、 $m$ が $n$ より大きい場合には、比較的少ない数の制御信号で、複数の走査線を選択制御することができる。

## 【0025】

## 【発明の実施の形態】

以下、添付図面に示す実施の形態に基づいてこの発明を詳細に説明する。

## [第一の実施の形態]

図2は、本発明の第一の実施の形態における液晶表示装置の全体構成を示す図、図3は、アレイ基板の構成を示す図である。また、図4は、図2に示したゲートドライバおよびコントロール回路の要部の構成を示すブロック図である。

この第一の実施の形態にかかる液晶表示装置は、1つの信号線を挟んで隣接する2つの画素が当該信号線を共有することにより、信号線の本数を半減するところに特徴を有している。もちろん、液晶表示装置としては、アレイ基板に対向するカラーフィルタ基板、バックライトユニット等他の要素も備える必要があるが、本発明の特徴部分ではないことからその説明は省略する。

## 【0026】

図2に示すように、本第一の実施の形態の液晶表示装置（画像表示装置）1は、そのアレイ基板Aに画像を表示する表示領域Sを有している。そして、液晶表示装置1は、表示領域S内に配置される画素電極に対して信号線Dを介し表示信号を供給するデータドライバ3と、表示領域S内に形成された薄膜トランジスタに対してそのON/OFFを制御する走査信号を走査線Gを介して供給するゲートドライバ（走査線駆動回路）5と、データドライバ3およびゲートドライバ5を制御するコントロール回路（走査線駆動回路）6を備えている。

## 【0027】

表示領域Sには、画素電極が $M \times N$  ( $M, N$ は任意の正の整数) の数だけマトリックス状に配列され、これら画素電極に対応して、走査線Gおよび信号線Dが所定数設けられている。以下、同一のゲートドライバ5に対して接続される走査線Gのうち、画面の走査方向の $n$ 番目に位置する走査線Gを、走査線G $n$ と、同一のデータドライバ3に対して接続される信号線Dのうち、走査線Gの入力端側から数えて $m$ 番目に位置する信号線Dを、信号線D $m$ として表す。

## 【0028】

また、図3に示すように、アレイ基板Aの表示領域Sにおいては、信号線Dmを挟んで隣接する画素電極A11およびB11について、第1のTFTM1、第2のTFTM2および第3のTFTM3の3つのTFTが以下のように配置されている。

まず、第1のTFTM1は、そのソース電極が信号線Dmに、またそのドレイン電極が画素電極A11に接続する。また、第1のTFTM1のゲート電極は第2のTFTM2のソース電極に接続している。ここで、TFTは3端子のスイッチング素子であり、液晶表示装置において、信号線に接続される側をソース電極と、また画素電極に接続される側をドレイン電極と呼ぶ例があるが、逆の例もある。つまり、ゲート電極を除く2つの電極のいずれをソース電極と、またドレイン電極と呼ぶかは一義的に定まっていない。そこで以下では、ゲート電極を除く2つの電極をともにソース／ドレイン電極と呼ぶことにする。

第2のTFTM2は、その一方のソース／ドレイン電極が第1のTFTM1のゲート電極に、他方のソース／ドレイン電極が走査線Gn+2に接続されている。したがって、第1のTFTM1のゲート電極は第2のTFTM2を介して走査線Gn+2に接続されることになる。また、第2のTFTM2のゲート電極は走査線Gn+1に接続される。したがって、隣接する2本の走査線Gn+1とGn+2が同時に選択電位になっている期間にのみ、第1のTFTM1がON状態となり信号線Dmの電位が画素電極A11に供給される。このことは、第2のTFTM2が第1のTFTM1のON／OFFを制御することを示唆している。

第3のTFTM3は、その一方のソース／ドレイン電極が信号線Dmに、また他方のソース／ドレイン電極が画素電極B11に接続されている。また、第3のTFTM3のゲート電極は走査線Gn+1に接続されている。したがって、走査線Gn+1が選択電位になっているときに、第3のTFTM3がONになり信号線Dmの電位が画素電極B11に供給される。

## 【0029】

以上では第1のTFTM1～第3のTFTM3からみたアレイ基板Aの回路

構成を説明したが、画素電極A11および画素電極B11からみたアレイ基板Aの回路構成を説明する。画素電極A11および画素電極B11は単一の信号線Dmから表示信号が供給される。つまり、信号線Dmは、画素電極A11および画素電極B11に対して共通の信号線Dmということができる。したがって、画素がM×Nのマトリックス状に配列されているのに対して、信号線DmはN/2本となる。

画素電極A11には第1のTFTM1および第2のTFTM2が接続されており、第1のTFTM1は信号線Dmに接続されるとともに、第2のTFTM2に接続される。第2のTFTM2のゲート電極は画素電極A11の後段の走査線Gn+1に接続され、また第2のTFTM2のドレイン電極は走査線Gn+1の後段の走査線Gn+2に接続されている。ここで、画素電極A11に信号線Dmの電位を供給するためには、第1のTFTM1がONされる必要がある。そして、第1のTFTM1のゲート電極は第2のTFTM2のソース/ドレイン電極に接続され、かつ第2のTFTM2のゲート電極は自己の走査線Gn+1に、またソース/ドレイン電極は後段の走査線Gn+2に接続されているから、第1のTFTM1をONするためには、第2のTFTM2がONされる必要がある。第2のTFTM2がONされるためには、走査線Gn+1および走査線Gn+2がともに選択されている必要がある。したがって、第1のTFTM1および第2のTFTM2は、走査線Gn+1および走査線Gn+2がともに選択されている際に走査信号の通過を許容するスイッチング機構を構成する。かくして、画素電極A11は、走査線Gn+1からの走査信号および走査線Gn+2からの走査信号に基づき駆動され、信号線Dmからの電位を受ける。

画素電極B11には第3のTFTM3が接続されており、そのゲート電極は走査線Gn+1に接続されている。したがって、画素電極B11は自己の走査線Gn+1が選択されると信号線Dmから電位を供給される。

以上では画素電極A11および画素電極B11について説明したが、図3中に示す画素電極C11および画素電極D11、画素電極A12、B12、C12、D12、画素電極A13、B13、C13、D13、さらにそれ以下の画素についても同様の構成が採用されている。

## 【0030】

次に、図4を参照して、ゲートドライバ5およびコントロール回路6の構成について説明する。

図4に示すように、コントロール回路6には、出力可否制御部8、パルス生成部（信号列生成部）9、およびクロック信号生成部10が設けられている。出力可否制御部8は、後述するように、出力制御線OE1, OE2, OE3からなる計3系統の出力制御線OEを介してゲートドライバ5に対して出力制御信号を出力するものであり、パルス生成部9は、ゲートドライバ5から走査線Gに対して入力すべき走査信号、すなわちシフトパルスを生成するものである。またクロック信号生成部10は、ゲートドライバ5を駆動するためのクロック信号を出力するものである。

## 【0031】

ゲートドライバ5には、出力制御信号、シフトパルス、およびクロック信号が入力されるシフトレジスタ部12が設けられている。シフトレジスタ部12は、走査線Gと同数設けられたシフトレジスタSRを互いにカスケード接続することにより形成されている。ここに、シフトレジスタSRは、各走査線Gに対応して設けられ、バッファ（出力回路）Bを介して、走査線Gに接続可能な出力端子Otと接続されている。これによりシフトレジスタSRにあるデータの走査線Gに対する出力をバッファBを制御することにより制御可能となっている。

バッファBには、出力制御線OEが接続されており、バッファBは、出力制御線OEを介して入力される出力制御信号が「0」のときにONに、出力制御信号が「1」であるときにOFFとなり、これにより、シフトレジスタSRから走査線Gへの走査信号の出力可否を制御する。なお、バッファBは、走査線Gに対応して複数配列されているが、互いに隣接する3つのバッファBごとに、出力制御線OE1, OE2, OE3が順次割り当てられて接続されている。したがって、出力可否制御部8が、これらの出力制御線OE1, OE2, OE3に対して互いに異なる出力制御信号を出力することによって、互いに隣接する3つのバッファBを別個に制御することが可能となっている。

## 【0032】

次に、図1に示す走査信号のタイミングチャート、および図5～図9の回路図を参照しつつ、この液晶表示装置1の動作について説明する。

この液晶表示装置1は、画素の充電量の不足を解消するために、画素に対して、その画素が画面の一水平走査期間内に保持すべき表示信号電圧を書き込む以前に、予備的に他の表示信号電圧を書き込んでおくように動作するものである。これには、ある画素に対して所定の表示信号電圧を印加する際に、その画素よりも下段、つまり、その画素よりも後にチャージがなされる他の画素に対して、同時にこの所定の表示信号電圧を書き込み、これによって、下段の画素に対して実際に表示信号電圧を印加する際に、すでに所定電圧でのチャージが行われた状態となるようにしている。

以下に、具体的な画素の駆動方法と、画素を実際に駆動する以前に行われる予備的な駆動方法（プレチャージ方法）とを説明する。

図1において、線図G<sub>n+1</sub>out～G<sub>n+5</sub>outは、シフトパルスがシフトレジスタSRに伝搬されることにより走査線G<sub>n+1</sub>～G<sub>n+5</sub>に出力される走査信号の波形を示している。すなわち、これらの線図のうち実線または鎖線で示された部分が立ち上がっているタイミングでは、当該走査線Gが選択され、そうでない部分は当該走査線Gが非選択の状態となっている。なお、これらの線図が立ち上がっている部分のうち、実線で示された部分は、画素電極に対して、この画素電極が一水平走査期間の間保持すべき表示信号電圧を書き込むタイミングを表している。また、鎖線で示された部分は、表示信号電圧を書き込む前に、その書き込み不足を補うために、予備的に表示信号電圧を書き込むタイミング、すなわち、プレチャージのタイミングを示している。

また、図1に示すDm(1)は、信号線Dmにより供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示すDm(1)は、極性の変化を含んだものとなっている。後述するように、信号線Dmにより供給される電位によって、画素電極A11は、画素電極B11と同一極性とされ、画素電極C11, D11と異なる極性で駆動される。

### 【0033】

まず、画素に対して、その画素が保持すべき表示信号電圧を書き込む際の手順

について説明する。

図1のように、走査信号G<sub>n+1</sub>outおよびG<sub>n+2</sub>outが生成される場合、走査信号G<sub>n+1</sub>outおよびG<sub>n+2</sub>outのうち、実線で表された部分、すなわち、画素に表示信号電圧を書き込むタイミングに注目すると、時間t<sub>0</sub>からt<sub>1</sub>までの期間（第1タイミング、第1の期間）では走査線G<sub>n+1</sub>およびG<sub>n+2</sub>（第1の走査線群）の双方が選択されることとなるから、図5に示すように第1のTFT M<sub>1</sub>～第3のTFT M<sub>3</sub>がON状態とされる。これによって、画素電極A<sub>11</sub>、画素電極B<sub>11</sub>および画素電極D<sub>11</sub>に、信号線D<sub>m</sub>から画素電極A<sub>11</sub>に与えるべき電位V<sub>a11</sub>が供給され、画素電極A<sub>11</sub>の電位V<sub>a11</sub>が決定される。なお、図5においては、走査線G<sub>n+1</sub>と走査線G<sub>n+2</sub>が選択されていることを太線で示している。

一方、その後の時間t<sub>1</sub>からt<sub>2</sub>までの期間（第2タイミング、第2の期間）においては、走査線G<sub>n+2</sub>が非選択電位となり、走査線G<sub>n+1</sub>のみが選択されることとなるから、図6に示すように第3のTFT M<sub>3</sub>のみがON状態とされる。ここで、信号線D<sub>m</sub>から供給される電位が、画素電極B<sub>11</sub>に与えるべき電位V<sub>b11</sub>に変化することにより、画素電極B<sub>11</sub>には電位V<sub>b11</sub>が供給され、これにより、画素電極B<sub>11</sub>の電位が決まる。

なお、時間t<sub>0</sub>からt<sub>2</sub>までの期間は一水平走査期間（第1の水平走査期間）に相当し、上述のような画素駆動を行うことにより、信号線D<sub>m</sub>の電位を時分割で画素電極A<sub>11</sub>およびB<sub>11</sub>（第1の画素電極群）に供給することができる。

#### 【0034】

走査線G<sub>n+1</sub>が非選択電位になった後に、図1に示すように、信号線D<sub>m</sub>の電位はその極性が反転するとともに、画素電極C<sub>11</sub>に与えるべき電位V<sub>c11</sub>に変化する。

ここで、図1において、走査信号G<sub>n+2</sub>outおよびG<sub>n+3</sub>outに着目すると、時間t<sub>2</sub>からt<sub>3</sub>までの期間（第1タイミング）では、走査線G<sub>n+2</sub>およびG<sub>n+3</sub>の双方が選択されている。これにより、図7に示すように、画素電極C<sub>11</sub>、画素電極D<sub>11</sub>および画素電極B<sub>12</sub>に、信号線D<sub>m</sub>から画素電極C<sub>11</sub>に与えるべき電位V<sub>c11</sub>が供給され、画素電極C<sub>11</sub>の電位V<sub>c11</sub>が決定さ

れる。

また、その後の時間  $t_3$  から  $t_4$  までの期間（第2タイミング）では、走査線  $G_{n+3}$  が非選択電位となり、走査線  $G_{n+2}$  のみが選択されることとなるから、図8に示すように、信号線  $D_m$  から供給される電位が、画素電極  $D_{11}$  に与えるべき電位  $V_{d11}$  に変化することにより、画素電極  $D_{11}$  には電位  $V_{d11}$  が供給され、これにより、画素電極  $D_{11}$  の電位が決まる。

この場合、画素電極  $A_{11}$ ,  $B_{11}$  に対して供給される電位  $V_{a11}$ ,  $V_{b11}$  と、画素電極  $C_{11}$ ,  $D_{11}$  に対して供給される電位  $V_{c11}$ ,  $V_{d11}$  とは、逆極性であるために、液晶表示装置1は、1行ごとにその極性が反転するライン反転駆動の表示装置として駆動されることとなる。

#### 【0035】

次に、画素のプレチャージ方法について説明する。

上述のように、画素のプレチャージは、ある画素電極に表示信号電圧を印加してチャージを行う際に、その画素電極よりも下段にある（ $n$ の値が大きい走査線  $G$  によって選択される）画素電極に対して、同時にこの表示信号電圧を供給することにより行われる。以下、画素電極が保持すべき表示信号電圧を印加して画素電極を充電することを単にチャージと、画素が保持すべき表示信号電圧が印加される以前に他の表示信号電圧を印加して画素を充電することを、プレチャージと呼ぶ。

ここで、ある画素電極Xをチャージする際に同時にプレチャージされる画素電極Yは、画素電極Xに対して次のA, Bのような関係を有することが望ましい。  
 A、画素電極Yがプレチャージされてからチャージされるまでに、画素電極X、Y以外の画素電極のチャージ時に同時にプレチャージされことがなく、

かつ

B、チャージされた画素電極Yおよび画素電極Xは同極性であり、選択タイミング（チャージされるタイミング）が一番近い。

#### 【0036】

この第一の実施の形態においては、上記A, Bの条件を満たすプレチャージ手法として、例えば、図3に示す画素電極  $B_{11}$  をチャージする場合に、その2行

下段にある画素電極A12（所定の画素電極）を選択するようとする。

ここで、画素電極A11をチャージする場合に、画素電極A11から最も近く、かつ同一の極性の画素電極A12をプレチャージしないのは、仮に画素電極A12をプレチャージするとすると、図9に示すように、その選択線である走査線Gn+3およびGn+4を選択する必要があり、この場合、走査線Gn+2とGn+3が同時に選択されることによって、画素電極C11が逆極性で駆動されてしまうためである。

つまり、こうしたプレチャージ方法を採用すると、同じ列のうち、互いに隣接する行にある画素電極を考えた場合に、上段にあるものがチャージされるときに、その下段にあるものがチャージされてしまう。したがって、画素電極A11のチャージ時に画素電極A12がプレチャージされた後、画素電極C11をチャージする際に、画素電極A12が、チャージすべき電圧と逆極性で再びプレチャージされてしまい、上記Bの条件に反することとなるからである。

#### 【0037】

具体的に画素電極B11のチャージ時において、画素電極A12をプレチャージするには、図1中に鎖線で示すように、時間t1からt2までの間に、走査信号Gn+3outおよびGn+4outの電位を立ち上げ、これによって、図6に示すように、画素電極A12の選択線である走査線Gn+3およびGn+4を選択して、画素電極A12への表示信号の供給を制御する第1のTFTM1、第2のTFTM2をONとする。これにより、画素電極B11に対して供給される表示信号と同一の表示信号が、信号線Dmから画素電極A12に対して供給され、画素電極A12に電位Vb11が印加されて、画素電極A12が画素電極B12と同一極性でプレチャージされる。

なお、この場合、走査線Gn+3が選択されることにより、信号線Dmから画素電極B12への表示信号の供給を制御する第3のTFTM3がONとされるとともに、走査線Gn+4が選択されることにより、信号線Dmから画素電極D12への表示信号の供給を制御する第3のTFTM3がONとされる。したがって、これら画素電極B13およびD13にも電位Vb11が印加されることとなる。

## 【0038】

この後、時間  $t_2$  から  $t_3$  までの期間では、図1に示すように、いずれの走査線Gについてもプレチャージのための選択がなされず、したがって、図7に示すように、画素電極A12, D12は、電位  $V_{b11}$  が保たれたままとなる。ただし、上述のように、走査線G $n+3$ が選択されることによって画素電極B12に對して接続される第3のTFT M3がON状態とされ、これにより画素電極B12は、画素電極C11と同電位  $V_{c11}$  となる。

## 【0039】

次に、画素電極D11のチャージを行う期間である時間  $t_3$  から  $t_4$  までの期間では、図1中に鎖線で示すように、走査信号G $n+4$ outおよびG $n+5$ outの電位が立ち上がることにより、走査線G $n+4$ およびG $n+5$ が選択される。これにより、画素電極C12, D12, B13への表示信号の供給を制御する第1のTFT M1、第2のTFT M2、第3のTFT M3がON状態とされ、図8に示すように、信号線Dmから画素電極C12, D12, B13に対して表示信号が供給され、これにより、画素電極C12, D12, B13に画素電極D11と同じ電位  $V_{d11}$  が印加される。したがって、画素電極C13を画素電極C11と同一極性でプレチャージすることができる。

以下同様の手順を繰り返すことにより、チャージ対象の画素電極の後段の画素電極についてプレチャージが行われる。

なお、このようなプレチャージに伴い、図1に示すように、時間  $t_0$  から  $t_1$  までの間では、走査線G $n+4$ が選択され、これにより、図5に示すように、画素電極D12が駆動されるとともに電位  $V_{a11}$  で充電される。また、図1に示すように、時間  $t_2$  から  $t_3$  までの間では、走査線G $n+5$ が選択され、これにより、図7に示すように画素電極B13が駆動されるとともに電位  $V_{c11}$  で充電される。

## 【0040】

また、こうしたプレチャージの手法をマトリックス表示したのが図10である。図10のマトリックスにおいてA, Bで示す各列は、画素電極A11, A12, …およびB11, B12, …が駆動されるタイミングを表し、また、g (n +

1), g (n+2), …として示す行は、走査線G (n+1), G (n+2), …を表す。そしてマトリックスの各項は、そのハッチングの有無により、画素電極A 1 1, A 1 2, …およびB 1 1, B 1 2, …が駆動されるタイミングにおいて、走査線G (n+1), G (n+2), …が選択されているか否かを表している。例えば、このマトリックスの1行1列目において付されたハッチングは、画素電極A 1 1を駆動するタイミングにおいて、走査線G (n+1)が選択されたことを表している。

また、マトリックスの各項において表示されたAまたはBの文字は、その項に対応した走査線G (n+1), G (n+2), …が選択されることによって、その画素電極A 1 1, A 1 2, …またはB 1 1, B 1 2, …のいずれかが駆動されるかを表している。例えば、マトリックスの1行1列目と2行1列目に「A」が表示されることによって、画素電極A 1 1, A 1 2, …を駆動すべきタイミングにおいて、走査線G (n+1)およびG (n+2)が同時に選択されることにより、画素電極A 1 1が駆動されることが表わされている。また、各項に表示される「P」の文字は、画素電極の駆動がプレチャージのためであるか否かを表している。

さらに、マトリックスの各項に示された「+」または「-」の符号は、その項に対応した走査線G (n+1), G (n+2), …とその一つ下段の走査線G (n+2), G (n+3), …との間にある画素電極A 1 1, A 1 2, …またはB 1 1, B 1 2, …の駆動極性を示している。

このマトリックスによれば、走査線G (n+1)を選択して、画素電極B 1 1を駆動する際に、走査線G (n+2)およびG (n+3)を駆動して、その2行下段の画素電極A 1 2のプレチャージが行われることが理解される。

#### 【0041】

このようなプレチャージ方法では、例えば、図1に示した走査信号G n+3 outおよびG n+4 outに着目すると、時間t 1からt 2までの期間（第一のタイミング）において、走査線G n+3とG n+4（所定の走査線）とが選択されることにより画素電極A 1 2（所定の画素電極）がプレチャージされた後は、画素電極A 1 2, B 1 2（第2の画素電極群、画素電極群）が順次駆動される時間t 4

から  $t_6$ までの間（第2の水平走査期間）のうち、時間  $t_4$ から  $t_5$ の間（第二のタイミング、第1タイミング）で走査線  $G_{n+3}$  および  $G_{n+4}$  の双方（第2の走査線群）が選択されることにより画素電極  $A_{1,2}$  がチャージされるまで、他の画素電極の駆動時に、走査線  $G_{n+3}$  および  $G_{n+4}$  の少なくとも一方は非選択とされている（すなわち、チャージ時と異なる信号が走査線  $G_{n+3}$  および  $G_{n+4}$  に出力される）。したがって、画素電極  $A_{1,2}$  は、時間  $t_1$ から  $t_2$ の間においてプレチャージされてから、時間  $t_4$ から  $t_5$ までの間においてチャージされるまでに再びプレチャージされることが無く、上述のようにプレチャージを行うことによって、上記Bの条件が満たされることとなる。同様のことが、画素電極  $C_{1,2}$  および画素電極  $A_{1,3}$  と同じ列に配置された他の画素電極についても成り立つ。

#### 【0042】

次に、このような画素電極のチャージおよびプレチャージを可能とするようなゲートドライバ5の制御方法について説明する。

図11は、走査線  $G_{n+1} \sim G_{n+4}$  に供給される走査信号  $G_{n+1\,out} \sim G_{n+4\,out}$  と、これに対応してシフトレジスタ  $S\,R$  に対して出力されるシフトパルス（信号列）  $SD\,I$  および出力制御信号  $OE\,1 \sim OE\,3$  と、シフトレジスタ  $S\,R$  を駆動するクロック信号  $DC\,PV$  との関係を示すタイミングチャートである。なお、図11においては、走査信号  $G_{n+1\,out} \sim G_{n+4\,out}$  のうち、プレチャージのために電位が立ち上がる部分についても、実線で表している。

#### 【0043】

図中に示すように、シフトパルス  $SD\,I$  は、その立ち上がりから立ち下がりまでの時間幅が、クロック信号  $DC\,PV$  の4周期分となっている。このシフトパルス  $SD\,I$  は、クロック信号  $DC\,PV$  の1周期をもって、クロック信号  $DC\,PV$  の立ち上がりに同期して次のシフトレジスタ  $S\,R$  に対して移動するために、クロック信号  $DC\,PV$  の4周期分の時間幅を有することによって、図中に示すように、走査信号を走査線  $G_{n+1} \sim G_{n+4}$  の4本の走査線  $G$  を同時に選択することが可能となる。なお、クロック信号  $DC\,PV$  の一周期は、一水平走査期間と同一になっている。したがって、シフトパルス  $SD\,I$  の時間幅は水平走査期間の4倍と

なっている。

## 【0044】

4本の走査線G<sub>n+1</sub>～G<sub>n+4</sub>を同時に選択するには、4系統の出力制御線OEが必要になると考えられるが、本第一の実施の形態においては、図11のような出力制御信号OE<sub>1</sub>～OE<sub>3</sub>を採用することによって、3系統の出力制御線OEにより、4本の走査線Gを同時に選択することができる。すなわち、本第一の実施の形態は、図10のマトリックスで示すようなチャージおよびプレチャージ手法を採用している。図10のマトリックスにおいて、g<sub>(n+1)</sub>で示す行とg<sub>(n+4)</sub>で示す行が表す走査線G<sub>(n+1)</sub>およびG<sub>(n+4)</sub>の選択・非選択は、タイミングAおよびBのいずれについても同一となっている。つまり、走査線G<sub>n+1</sub>に接続されたバッファBに供給すべき出力制御信号と走査線G<sub>n+4</sub>に接続されたバッファBに供給すべき出力制御信号とを同一の信号とすることができる。同様に走査線G<sub>n+2</sub>とG<sub>n+5</sub>、G<sub>n+3</sub>とG<sub>n+6</sub>、…に接続されるバッファBについてもそれぞれ同一の出力制御信号を供給することが可能であり、したがって、出力制御線OEが3系統で足りるのである。

## 【0045】

以上述べたように、本第一の実施の形態では、プレチャージに必要な条件を満たしつつ、多重画素構造を有する画素電極のチャージおよびプレチャージを行うことができ、これにより、高精細化された液晶表示装置1を、精度よく駆動することができる。

さらに、このプレチャージ方法では、画素電極B12をチャージする際に、異なる列にある画素電極A12をプレチャージするようにしている。このように、チャージすべき画素電極と異なる列にある画素電極も含めて、上記A、Bの条件を満たすような画素電極を選択するようにすることで、同じ列にある画素電極のみ上記A、Bの条件を満たすような画素電極を選択する場合に比較して、選択の幅が広がり、したがって、チャージを行うべき画素電極が存在する行と、同時にプレチャージを行うべき画素電極が存在する行との間隔を狭めることができる。これにより、プレチャージからチャージまでの時間間隔を短くして、表示画素以外の画素に対する影響を最小限とすることができます。

## 【0046】

また、この第一の実施の形態では、クロック信号DCPVの4周期分（水平走査期間の4倍）の時間幅を有するシフトパルスSDIを、3系統の出力制御線OEによって制御することができる。すなわち、4本の走査線Gの選択制御を、それより少ない3系統の出力制御線OEによって制御することができるから、走査線Gの選択制御を、同時に制御すべき走査線Gの数よりも少ない数の制御信号によって行うことができ、これにより出力制御線OEの数を減じて、コストダウンおよび回路設計の容易化等を図ることができる。

なお、本第一の実施の形態においては、アレイ基板Aは図3に示すように構成されていたが、これに代えて、図12のような回路構成を採用することもできる

## 【0047】

## [第二の実施の形態]

次に、本発明の第二の実施の形態について説明する。

この第二の実施の形態における液晶表示装置1の全体構成は、上記第一の実施の形態と同様であるために、ここでは、その説明を省略するとともに、上記第一の実施の形態と異なる点を中心に説明する。

この第二の実施の形態が、上記第一の実施の形態と異なる点は、アレイ基板の回路構成に関する点および画素の駆動方法に関する点である。

## 【0048】

図13は、本発明の第二の実施の形態におけるアレイ基板の構成を示す図である。

上記第一の実施の形態では、2つの画素が1つの信号線Dmを共有していたのに対して、本第二の実施の形態では、3つの画素が1つの信号線Dmを共有する形態となっている。

すなわち、図13に示すように、本第二の実施の形態の液晶表示装置1のアレイ基板においては、信号線Dmを画素電極A31（画素電極D31、…）、画素電極B31（画素電極E31、…）および画素電極C31（画素電極F31、…）の3つの画素が共有している。そして、画素電極A31には、走査線Gn+1

および走査線G<sub>n+3</sub>の両者が選択電位となったときに、信号線D<sub>m</sub>のデータ電位が供給される。また、画素電極B<sub>31</sub>には、走査線G<sub>n+1</sub>および走査線G<sub>n+2</sub>が選択電位となったときに、信号線D<sub>m</sub>のデータ電位が供給される。また、画素電極C<sub>31</sub>は、走査線G<sub>n+1</sub>が選択電位となったときに、信号線D<sub>m</sub>のデータ電位が供給される。

## 【0049】

以上のような動作を行うために、本第二の実施の形態ではスイッチング素子としての第1のTFT M31～第5のTFT M35の配置を以下に説明するよう設定している。

すなわち、図13に示すように、第1のTFT M31は、その一方のソース／ドレイン電極が画素電極A<sub>31</sub>に、また他方のソース／ドレイン電極が信号線D<sub>m</sub>に接続する。また、第1のTFT M31のゲート電極は第2のTFT M32のソース／ドレイン電極に接続している。

第2のTFT M32は、その一方のソース／ドレイン電極が走査線G<sub>n+3</sub>に、またその他のソース／ドレイン電極が第1のTFT M31のゲート電極に接続されている。したがって、第1のTFT M31のゲート電極は第2のTFT M32を介して走査線G<sub>n+3</sub>に接続されることになる。また、第2のTFT M32のゲート電極は走査線G<sub>n+1</sub>に接続される。したがって、2本の走査線G<sub>n+1</sub>とG<sub>n+3</sub>が同時に選択電位になっている期間にのみ、第1のTFT M31がONになり信号線D<sub>m</sub>の電位が画素電極A<sub>31</sub>に供給される。このことは、第2のTFT M32が第1のTFT M31のON/OFFを制御するスイッチング素子であることを示している。

第3のTFT M33は、その一方のソース／ドレイン電極が信号線D<sub>m</sub>に、他方のソース／ドレイン電極が画素電極C<sub>31</sub>に接続されている。また、第3のTFT M33のゲート電極は走査線G<sub>n+1</sub>に接続している。

第4のTFT M34は、その一方のソース／ドレイン電極が信号線D<sub>m</sub>に、他方のソース／ドレイン電極が画素電極B<sub>31</sub>に接続されている。また、第4のTFT M34のゲート電極は第5のTFT M35のソース／ドレイン電極に接続している。

また、第5のTFT M35は、その一方のソース／ドレイン電極が走査線G<sub>n+2</sub>に、また他方のソース／ドレイン電極が第4のTFT M34のゲート電極に接続されている。したがって、第4のTFT M34のゲート電極は第5のTFT M35を介して走査線G<sub>n+2</sub>に接続されることになる。また、第5のTFT M35のゲート電極は走査線G<sub>n+1</sub>に接続される。したがって、2本の走査線G<sub>n+1</sub>とG<sub>n+2</sub>が同時に選択電位になっている期間にのみ、第4のTFT M34がONになり信号線D<sub>m</sub>の電位が画素電極B31に供給される。このことは、第5のTFT M35が第4のTFT M34のON／OFFを制御するスイッチング素子であることを示している。

## 【0050】

また、以上では第1のTFT M31～第5のTFT M35からみたアレイ基板の回路構成であるが、画素電極A31～画素電極C31からみた液晶表示装置1の回路構成を説明する。

画素電極A31～画素電極C31には单一の信号線D<sub>m</sub>から表示信号が供給される。つまり、信号線D<sub>m</sub>は、画素電極A31～画素電極C31に対する共通の信号線D<sub>m</sub>となっている。画素電極A31には第1のTFT M31および第2のTFT M32が接続されており、第1のTFT M31は信号線D<sub>m</sub>に接続されるとともに、第2のTFT M32に接続される。第2のTFT M32のゲート電極は自己の走査線G<sub>n+1</sub>に接続され、また第2のTFT M32のソース／ドレイン電極は後段の走査線G<sub>n+3</sub>に接続されている。ここで、画素電極A31に信号線D<sub>m</sub>の電位を供給するためには、第1のTFT M31がONされる必要がある。そして、第1のTFT M31のゲート電極は第2のTFT M32のソース／ドレイン電極に接続され、かつ第2のTFT M32のゲート電極は画素電極A31および画素電極B31よりも後段に位置する走査線G<sub>n+1</sub>に、またソース／ドレイン電極は走査線G<sub>n+1</sub>よりも後段の走査線G<sub>n+3</sub>に接続されているから、第1のTFT M31をONするためには、第2のTFT M32がONとされる必要がある。第2のTFT M32がONとされるためには、走査線G<sub>n+1</sub>および後段の走査線G<sub>n+3</sub>が選択電位となる必要がある。このように、画素電極A31は、走査線G<sub>n+1</sub>からの走査信号および走査線G

$n + 3$  からの走査信号に基づき駆動され、信号線  $D_m$  からの電位を受ける。

【0051】

画素電極  $B_{31}$  には第4の TFT  $M_{34}$  および第5の TFT  $M_{35}$  が接続されており、第4の TFT  $M_{34}$  は信号線  $D_m$  に接続されるとともに、第5の TFT  $M_{35}$  に接続される。第5の TFT  $M_{35}$  のゲート電極は走査線  $G_{n+1}$  に接続され、また第5の TFT  $M_{35}$  のソース／ドレイン電極は走査線  $G_{n+2}$  に接続されている。ここで、画素電極  $B_{31}$  に信号線  $D_m$  の電位を供給するためには、第4の TFT  $M_{34}$  がONとされる必要がある。そして、第4の TFT  $M_{34}$  のゲート電極は第5の TFT  $M_{35}$  のソース／ドレイン電極に接続され、かつ第5の TFT  $M_{35}$  のゲート電極は走査線  $G_{n+1}$  に、またソース／ドレイン電極は走査線  $G_{n+2}$  に接続されているから、第4の TFT  $M_{34}$  をONとするためには、第5の TFT  $M_{35}$  がONとされる必要がある。第5の TFT  $M_{35}$  がONされるためには走査線  $G_{n+1}$  および走査線  $G_{n+2}$  が選択電位となる必要がある。かくして、画素電極  $B_{31}$  に対しては、自身より後段に位置する走査線  $G_{n+1}$  および後段の走査線  $G_{n+2}$  が選択電位となつたときにのみ信号線  $D_m$  からの電位が供給される。

また、画素電極  $C_{31}$  には第3の TFT  $M_{33}$  が接続されており、そのゲート電極は走査線  $G_{n+1}$  に接続されている。したがって、画素電極  $C_{31}$  は走査線  $G_{n+1}$  が選択されると信号線  $D_m$  から電位が供給される。

以上では画素電極  $A_{31}$  ～画素電極  $C_{31}$  について説明したが、画素電極  $D_{31}$  ～画素電極  $F_{31}$  、およびそれ以下の画素についても同様の構成が採用されている。

【0052】

次に、本第二の実施の形態における液晶表示装置1の動作を、図14に示す走査信号のタイミングチャート、図15に示すクロック信号、シフトパルス、出力制御信号のタイミングチャートおよび図16～図18の回路図、図19に示す画素駆動マトリックスを参照しつつ説明する。

なお、この第二の実施の形態においても、画素に対して、その画素が画面の一水平走査期間内に保持すべき表示信号電圧を書き込む以前に、予備的に他の表示

信号電圧を書き込んでおくプレチャージ手法が採用されるものとする。

図14において、線図G<sub>n</sub>out～G<sub>n+5</sub>outは、シフトパルスがシフトレジスタS Rに伝搬されることにより走査線G<sub>n</sub>～G<sub>n+5</sub>に出力される走査信号の波形を示している。すなわち、これらの線図のうち実線または鎖線で示された部分が立ち上がっているタイミングでは、当該走査線Gが選択され、そうでない部分は当該走査線Gが非選択の状態となっている。なお、これらの線図が立ち上がっている部分のうち、実線で示された部分は、画素電極に対して、この画素電極が一水平走査期間の間、保持すべき表示信号電圧をチャージするタイミングを表している。また、鎖線で示された部分は、画素電極のチャージのための選択制御に加えて、画素電極のプレチャージのために表示信号電圧を書き込むタイミングを示している。

また、図14に示すD<sub>m</sub>(2)は、信号線D<sub>m</sub>により供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示すデータ信号D<sub>m</sub>(2)は、極性の変化を含んだものとなっている。後述するように、データ信号D<sub>m</sub>(2)により、画素電極A31は、画素電極B31, C31と極性が同じとなり、画素電極D31, E31, F31と異なる極性で駆動される。

さらに、図15は、走査線G<sub>n+1</sub>～G<sub>n+5</sub>に供給される走査信号G<sub>n+1</sub>out～G<sub>n+5</sub>outと、これに対応してシフトレジスタS Rに対して出力されるシフトパルスS D Iおよび出力制御信号O E 1, O E 2, O E 3と、シフトレジスタS Rを駆動するクロック信号Y C L Kとの関係を示すタイミングチャートである。なお、図15に示す走査信号G<sub>n+1</sub>out～G<sub>n+5</sub>outにおいてはプレチャージのために立ち上がる部分についても実線で示している。

### 【0053】

この液晶表示装置1において画素の駆動を行うには、まず、コントロール回路6のパルス生成部9からゲートドライバ5に対してシフトパルスS D I（図15参照）を出力する。

図15中に示すように、シフトパルスS D Iは、その立ち上がりから立ち下がりまでの時間幅がクロック信号Y C L Kの3周期分の第1のパルスP1と、立ち上がりから立ち下がりまでの時間幅がクロック信号Y C L Kの1周期分の第2の

パルスP2とからなる信号列となっている。ここで、クロック信号YCLKの一周期は、画面の一水平走査期間と同一となっている。すなわち、シフトパルスSDIは、第1のパルスP1が三水平走査期間の時間幅であり、一水平走査期間分の時間幅の第2のパルスP2が一水平走査期間の間隔をあけて第1のパルスP1に連続するような、計五水平走査期間の時間幅を有する信号列となっている。

ゲートドライバ5のシフトレジスタ部12において、シフトパルスSDIは、クロック信号YCLKの1周期をもって、クロック信号YCLKに同期して次のシフトレジスタSRに対して移動する。したがって、シフトパルスSDIが五水平走査期間の時間幅を有することにより、シフトパルスSDIは、隣接する3つのシフトレジスタSRおよびこれから1つ間隔をあけた1つのシフトレジスタSRに存在しつつ順次移動することになる。ここで、図15のような出力制御信号OE1、OE2、OE3を互いに隣接するバッファBに対して供給することによって、5つのシフトレジスタSRに接続されたバッファBを同時に制御し、これにより、5本の走査線Gを同時に選択制御することができる。また、ここで、バッファBは入力される出力制御信号OEの値が「0」の際にON状態とされ、「1」の際にOFF状態とされるから、走査信号Gn+1out～Gn+5outは、図15下段のようになる。

#### 【0054】

次に、画素電極をチャージする際の手順について説明する。

図14のように、走査信号Gn+1out、Gn+2out、Gn+3outが生成されて走査線Gn+1、Gn+2、Gn+3（第1の走査線群）に供給される場合、これら走査信号Gn+1out、Gn+2out、Gn+3outのうち、実線で表された部分、すなわち、画素電極に表示信号電圧を書き込むタイミングに注目すると、時間t0からt1での期間（第1タイミング）では走査線Gn+1およびGn+3の双方が選択されることとなるから、図16のように第1のTFTM31～第3のTFTM33がONとされる。したがって、図16に示すように画素電極A31、画素電極C31および画素電極C32に、信号線Dmから画素電極A31に与えるべき電位Va21が供給される。これにより、画素電極A31の電位Va21が決まる。なお、図16においては、選択される走査線Gを太線

で示している。

一方、その後の時間  $t_1$  から  $t_2$  での期間（第2タイミング）においては、信号線  $D_m$  から供給される電位は画素電極  $B_{31}$  に与えるべき電位  $V_{b21}$  に変わる。ここでは、図14に示すように、走査線  $G_{n+1}$  および走査線  $G_{n+2}$  が選択され、これにより、図17に示すように、第2のTFT  $M_{32}$  がOFFとなり、 $G_{n+3}$  の電位（OFF電位）を第1のTFT  $M_{31}$  のゲート電極に供給することで第1のTFT  $M_{31}$  がOFFになる。また第3のTFT  $M_{33}$ ～第5のTFT  $M_{35}$  はONとされる。したがって、画素電極  $B_{31}$ 、画素電極  $C_{31}$  および画素電極  $F_{31}$  に電位  $V_{b21}$  が与えられる。これにより、画素電極  $B_{31}$  の電位  $V_{b21}$  が決まる。

さらに、次の時間  $t_2$  から  $t_3$  までの期間（第3タイミング）では、信号線  $D_m$  から供給される電位が画素電極  $C_{31}$  に与えるべき電位  $V_{c21}$  に変わる。ここで、時間  $t_2$  から  $t_3$  までの期間においては、図14に示すように、走査線  $G_{n+1}$  のみが選択電位となり、図18に示すように、第3のTFT  $M_{33}$  を通じて画素電極  $C_{31}$  に信号線  $D_m$  の電位  $V_{c21}$  が与えられ、これにより画素電極  $C_{31}$  の電位  $V_{c21}$  が決まる。

なお、時間  $t_0$  から  $t_3$  までの期間は一水平走査期間（第1の水平走査期間）に相当し、上述のような画素駆動を行うことにより、信号線  $D_m$  の電位を時分割で画素電極  $A_{31}$ 、 $B_{31}$ 、 $C_{31}$ （第1の画素電極群）に供給することができる。

そして、走査線  $G_{n+1}$  が非選択電位となった後に、信号線  $D_m$  の電位はその極性が反転するとともに、画素電極  $D_{31}$  に与えるべき電位  $V_{d21}$  に変わり、以上と同様の手順が繰り返されることによって、画素電極  $D_{31}$ ～画素電極  $F_{31}$  の電位が時分割で決まる。

この場合、画素電極  $A_{31}$ 、 $B_{31}$ 、 $C_{31}$  に対して供給される電位  $V_{a21}$ 、 $V_{b21}$ 、 $V_{c21}$  と、画素電極  $D_{31}$ 、 $E_{31}$ 、 $F_{31}$  に対して供給される電位  $V_{d21}$ 、 $V_{e21}$ 、 $V_{f21}$  とは、逆極性であるために、液晶表示装置1は、1行ごとにその極性が反転するライン反転駆動の表示装置として駆動されることとなる。

## 【0055】

次に、画素のプレチャージ方法について説明する。

上述のように、ある画素電極Xをチャージする際に同時にプレチャージされる画素電極Yは、画素電極Xに対して次のA、Bのような関係を有することが望ましい。

A、画素電極Yがプレチャージされてからチャージされるまでに、画素電極X、Y以外の画素電極のチャージ時に同時にプレチャージされることはなく、

かつ

B、チャージされた画素電極Yおよび画素電極Xは同極性であり、選択タイミング（チャージされるタイミング）が一番近い。

## 【0056】

そこで、この第二の実施の形態においては、上記A、Bの条件を満たすプレチャージ手法として、例えば、画素電極A31をチャージする場合に、その2行下段にある画素電極A32を選択するようにする。すなわち、図14中に鎖線で示すように、時間t0からt1までの間（第一のタイミング）に、走査信号Gn+3outおよびGn+5outの電位を立ち上げ、これによって、図16に示すように、画素電極A32の選択線である走査線Gn+3およびGn+5（所定の走査線）を選択して、画素電極A32への表示信号の供給を制御する第1のTFTM31、第2のTFTM32をONとする。これにより、画素電極A31に対して供給される表示信号と同一の表示信号が、信号線Dmから画素電極A32に対して供給され、画素電極A32に電位Va21が印加されて、画素電極A32が画素電極A31と同一極性でプレチャージされる。

なお、この場合、走査線Gn+5が選択されることにより、信号線Dmから画素電極C33への表示信号の供給を制御する第3のTFTM33がONとされる。したがって、これら画素電極C33にも電位Va21が印加されることとなる。

## 【0057】

この後、時間t1からt2までの期間、および、時間t2からt3までの期間では、いずれの走査線Gについてもプレチャージのための選択がなされず、した

がって、図17、図18に示すように、画素電極A32は、電位Va21が保たれたままとなる。ここで、画素の駆動極性は、1行ごとに反転しているから、画素電極A32にプレチャージされた電位Va21と画素電極A32に実際にチャージすべき電位とは同極性である。また、この後、図14に示すように、画素電極A32, B32, C32(第2の画素電極群)が順次駆動される時間t5からt8までの間(第2の水平走査期間)のうち、時間t5からt6までの期間(第二のタイミング、第1タイミング)において走査線Gn+3およびGn+5が同時に選択されることにより画素電極A32がチャージされるまで、走査信号Gn+3outおよびGn+5outの少なくとも一方は非選択とされている(すなわち、チャージ時と異なる信号が走査線Gn+3およびGn+4に出力される)から、画素電極A32は、プレチャージされてからチャージされるまでの間、再びプレチャージされることがない。したがって、本第二の実施の形態のプレチャージ手法は、上記A, Bの条件を満たすこととなる。

さらに、以下同様に画素電極D31, A32, …のチャージ時にそれより2段下の画素電極D32, A33, …をプレチャージすることにより、上記AおよびBの条件を満たすようなプレチャージを行うことができる。

#### 【0058】

図19に、こうしたプレチャージの手法をマトリックス表示したものを表す。図19のマトリックスにおいてA, B, Cで示す各列は、画素電極A31, A32, …、B31, B32, …およびC31, C32, …が駆動されるタイミングを表し、また、g(n+1), g(n+2), …として示す行は、走査線G(n+1), G(n+2), …を表す。そしてマトリックスの各項は、そのハッチングの有無により、画素電極A31, A32, …、B31, B32, …、C31, C32, …が駆動されるタイミングにおいて、走査線G(n+1), G(n+2), …が選択されているか否かを表している。例えば、このマトリックスの1行1列目において付されたハッチングは、画素電極A11を駆動するタイミングにおいて、走査線G(n+1)が選択されたことを表している。

また、マトリックスの各項において表示されたAまたはBの文字は、その項に対応した走査線G(n+1), G(n+2), …が選択されることによって、そ

の画素電極A31, A32, …、B31, B32, …、またはC31, C32, …のいずれかが駆動されるかを表している。例えば、マトリックスの1行1列目と3行1列目に「A」が表示されることによって、画素電極A31, A32, …を駆動すべきタイミングにおいて、走査線G(n+1)およびG(n+3)が同時に選択されることにより、画素電極A31, A32, …等が駆動されることが表わされている。また、各項に表示される「PA」等の文字は、その項に対応した走査線G(n+1), G(n+2), …が選択されることによって、画素電極A31, A32, …等がプレチャージされることを表している。例えば、マトリックスの3行1列目と5行1列目に「PA」が表示されることによって、画素電極A31, A32, …を駆動すべきタイミングにおいて、走査線G(n+3)およびG(n+5)が同時に選択されることにより、画素電極A31, A32, …がプレチャージされることが駆動されることが表わされている。ここで、マトリックスの3行1列目には「A/PA」との表示がなされているが、これはこの項に対応するタイミングにおいて、走査線G(n+3)が、画素電極A31のチャージおよび画素電極A32のプレチャージの双方の目的で選択されることを表している。

## 【0059】

以上述べたように、本第二の実施の形態では、プレチャージに必要な条件を満たしつつ、多重画素構造を有する画素電極のチャージおよびプレチャージを行うことができ、これにより、高精細化された液晶表示装置1を、精度よく駆動することができる。

さらに、本第二の実施の形態のプレチャージ方法では、例えば、時間t0からt1までの期間において、画素電極A31をチャージするために、走査線G(n+1), G(n+3)が選択され、画素電極A31のチャージと同時に画素電極A32をプレチャージするために走査線G(n+3), G(n+5)が選択される。すなわち、チャージすべき画素電極の選択制御線とプレチャージすべき画素電極の選択制御線とが重複している。このような構成を採用することによって、チャージを行うべき画素電極が存在する行と、同時にプレチャージを行うべき画素電極が存在する行との間隔を狭め、これにより、プレチャージからチャージま

での時間間隔を短くして、表示画素以外の画素に対する影響を最小限とすることができる。

## 【0060】

なお、上記第二の実施の形態において、画素電極A31の駆動時に走査線Gn+2を選択することによって、画素電極B31に電位Va21をチャージするようにもよい。これにより、画素電極B31が実際に駆動される以前に、画素電極B31を充電しておくことができ、画素電極B31の書き込み不足を防止することができる。

## 【0061】

## 〔第三の実施の形態〕

次に、本発明の第三の実施の形態を説明する。

この第三の実施の形態は、液晶表示装置1の全体構成や、アレイ基板の回路構成、およびゲートドライバ5の回路構成が、上記第二の実施の形態と共通するために、ここでは、上記第三の実施の形態と共通する構成については、その説明を省略するとともに、上記第二の実施の形態と異なる点を中心に説明する。

この第三の実施の形態が、上記第二の実施の形態と異なる点は、液晶表示装置1の動作に関する点である。以下、液晶表示装置1の動作について説明する。

なお、この第三の実施の形態においても、画素に対して、その画素が画面の一水平走査期間内に保持すべき表示信号電圧を書き込む以前に、予備的に他の表示信号電圧を書き込んでおくプレチャージ手法が採用されるものとする。

図20において、線図Gnout～Gn+5outは、シフトパルスがシフトレジスタSRに伝搬されることにより走査線Gn～Gn+5に出力される走査信号の波形を示している。すなわち、これらの線図のうち実線または鎖線で示された部分が立ち上がっているタイミングでは、当該走査線Gが選択され、そうでない部分は当該走査線Gが非選択の状態となっている。なお、これらの線図が立ち上がっている部分のうち、実線で示された部分は、画素電極に対して、この画素電極が一水平走査期間の間保持すべき表示信号電圧をチャージするタイミングを表している。また、鎖線で示された部分は、画素電極のチャージのための走査線Gの選択制御に加えて、画素電極のプレチャージのために表示信号電圧を書き込むタイ

ミングを示している。

また、図20に示すDm(2)は、信号線Dmにより供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示すデータ信号Dm(2)は、極性の変化を含んでいる。後述するように、データ信号Dm(2)によって、画素電極A31は、画素電極E31、画素電極F31と同極性で駆動され画素電極B31は、画素電極C31、画素電極D31と異なる極性で駆動されることとなる。

#### 【0062】

まず、画素電極をチャージする際の手順について説明する。

図20のように、走査信号Gn+1out、Gn+2out、Gn+3outが生成されて走査線Gn+1、Gn+2、Gn+3（第1の走査線群）に供給される場合、走査信号Gn+1out、Gn+2out、Gn+3outのうち、実線で表された部分、すなわち、画素電極に表示信号電圧を書き込むタイミングに注目すると、時間t0からt1での期間（第1タイミング）では走査線Gn+1、Gn+3の双方が選択されることとなるから、図21のように第1のTFTM31～第3のTFTM33がONとされる。したがって、図21に示すように画素電極A31、画素電極C31、および走査線Gn+3に第3のTFTM33を介して接続された画素電極C32に、信号線Dmから画素電極A31に与えるべき電位Va31が供給される。これにより、画素電極A31の電位Va31が決まる。なお、図21においては、選択される走査線Gを太線で示している。また、ここで電位Va31はプラスの電位であるものとし、図21中において画素電極A31等に印加された電位Va31がプラスの電位であることを、符号「+」で表す。以下、同様に、図22～図26においても、画素電極に印加された電位の極性を符号「+」または「-」で表す。

#### 【0063】

次に、時間t1からt2までの期間（第2タイミング）においては、信号線Dmから供給される電位は画素電極B31に与えるべき電位Vb31に変わるとともに、その極性が反転し、マイナス電位とされる。ここでは、図20に示すように、走査線Gn+1および走査線Gn+2が選択されるとともに、走査線Gn+

3が非選択とされる。これにより、図22に示すように、第2のTFT M32がOFFとなり、Gn+3の電位(OFF電位)を第1のTFT M31のゲート電極に供給することで第1のTFT M31がOFFになる。また第3のTFT M33～第5のTFT M35はONとされる。したがって、画素電極B31、画素電極C31および画素電極F31に電位Vb31が与えられる。これにより、画素電極B31の電位Vb31が決まる。

さらに、次の時間t2からt3までの期間(第3タイミング)では、信号線Dmから供給される電位が画素電極C31に与えるべき電位Vc31に変わる。ここで、時間t2からt3までの期間においては、図20に示すように、走査線Gn+1のみが選択電位となり、図23に示すように、第3のTFT M33がONとなって、第3のTFT M33を通じて画素電極C31に信号線Dmの電位Vc31が与えられ、これにより画素電極C31の電位Vc31が決まる。

なお、時間t0からt3までの期間は一水平走査期間(第1の水平走査期間)に相当し、上述のような画素駆動を行うことにより、信号線Dmの電位を時分割で画素電極A31、B31、C31(第1の画素電極群)に供給することができる。

#### 【0064】

そして次の時間t3からt4までの期間においては、走査線Gn+1が非選択電位となった後に、信号線Dmの電位が、画素電極D31に与えるべき電位Vd31に変わる。そして、図20に示すように、走査線Gn+2およびGn+4が選択電位となり、これにより、図24のように、これらの走査線Gn+2およびGn+4に接続される第1のTFT M31および第2のTFT M32がONとされて、画素電極D31に電位Vd31が与えられる。また、このとき、走査線Gn+2およびGn+4のそれぞれに接続された第3のTFT M33がONとされるので、画素電極F31およびF32に対して電位Vd31が供給される。

さらに、次の時間t4からt5までの期間においては、図20に示すように、走査線Gn+4が非選択電位となるとともに、信号線Dmの電位が再びその極性が反転してプラスの電位となり、画素電極E31に与えるべき電位Ve31に変

わる。そして、図25に示すように、走査線G<sub>n+2</sub>およびG<sub>n+3</sub>が選択電位となり、これにより、走査線G<sub>n+2</sub>に接続される第5のTFT M35がONとなり、走査線G<sub>n+3</sub>の電位が第4のTFT M34に供給されることにより第4のTFT M34がONとなって、画素電極E31に電位V<sub>e31</sub>が与えられる。また、このとき、走査線G<sub>n+2</sub>およびG<sub>n+4</sub>のそれぞれに接続された第3のTFT M33がONとされるので、画素電極F31およびC32に対して電位V<sub>e31</sub>が供給される。

さらに、次の時間t5からt6までの期間においては、図20に示すように、走査線G<sub>n+3</sub>が非選択電位となるとともに、信号線Dmの電位が画素電極F31に与えるべき電位V<sub>f31</sub>に変わる。そして、この場合、走査線G<sub>n+2</sub>のみが選択電位とされるために、図26のように、走査線G<sub>n+2</sub>に接続された第3のTFT M33がONとされ、画素電極F31に対して電位V<sub>f31</sub>が供給される。

これにより一水平走査期間（時間t3からt6までの間）において、画素電極D31, E31, F31に対して電位V<sub>d31</sub>, V<sub>e31</sub>, V<sub>f31</sub>をそれぞれ時分割で供給することができる。

#### 【0065】

以下、同様の手順が繰り返されることによって、画素電極A32～画素電極C32以下の電位が時分割で決定される。

また、これにより、画素電極A31に供給される電位V<sub>a31</sub>と、画素電極B31, C31に対して供給される電位V<sub>b31</sub>, V<sub>c31</sub>とが逆極性とされ、画素電極D31に供給される電位V<sub>d31</sub>と、画素電極E31, F31に対して供給される電位V<sub>e31</sub>, V<sub>f31</sub>とが逆極性とされた状態で、各画素が駆動される。また、画素電極A31およびD31が逆極性であり、画素電極B31, C31と画素電極E31, F31とが逆極性であることから、1行ごとにその極性が反転するライン反転駆動が実現される。

#### 【0066】

次に、画素のプレチャージ方法について説明する。

この第三の実施の形態においては、例えば、画素電極B31をチャージする場

合に、その1行下段にある画素電極D31（所定の画素電極）を選択するようとする。すなわち、図20中に鎖線で示すように、時間t1からt2までの間（第一のタイミング、第2タイミング）に、走査信号Gn+1out、走査信号Gn+2outに加えて、走査信号Gn+4outの電位を立ち上げ、これによって、図22に示すように、画素電極D31の選択線である走査線Gn+2およびGn+4（所定の走査線、第2の走査線群）を選択して、画素電極D31への表示信号の供給を制御する第1のTFT M31、第2のTFT M32をONとする。これにより、画素電極B31に対して供給される表示信号と同一の表示信号が、信号線Dmから画素電極D31に対して供給され、画素電極D31に電位Vb31が印加されて、画素電極D31が画素電極B31と同一極性でプレチャージされる。

なお、この場合、走査線Gn+4が選択されることにより、信号線Dmから画素電極F32への表示信号の供給を制御する第3のTFT M33がONとされる。したがって、画素電極F32にも電位Vb31が印加されることとなる。

#### 【0067】

この後、時間t2からt3までの期間では、いずれの走査線Gについてもプレチャージのための選択がなされず、したがって、図23に示すように、画素電極D31は、電位Vb31が保たれたままとなる。ここで、画素の駆動極性は、1行ごとに反転しているから、画素電極D31に実際にチャージすべき電位は、画素電極A31と逆極性であり、また、画素電極A31と画素電極B31とは逆極性で駆動されるから、画素電極D31にプレチャージされた電位Vb31と画素電極D31に実際にチャージすべき電位とは同極性となる。また、この後、画素電極A32、B32、C32（第2の画素電極群、画素電極群）が順次駆動される時間t3からt6までの間（第2の水平走査期間）のうち、時間t3からt4までの期間（第二のタイミング、第1タイミング）に走査線Gn+2およびGn+4が同時に選択されて画素電極D31がチャージされるから、画素電極D31は、プレチャージされてからチャージされるまでの間、再びプレチャージされることがない。また、同様のことが、画素電極A32をプレチャージする際にも成り立つので、本第三の実施の形態のプレチャージ手法は、

A、画素電極Yがプレチャージされてからチャージされるまでに、画素電極X、Y以外の画素電極のチャージ時に同時にプレチャージされることはなく、かつ

B、チャージされた画素電極Yおよび画素電極Xは同極性であり、選択タイミング（チャージされるタイミング）が一番近い。

という二つの条件を満たすこととなる。

#### 【0068】

図27に、こうしたプレチャージの手法をマトリックス表示したものを表す。

図27のマトリックスにおいてA, B, Cで示す各列は、画素電極A31, B31, およびC31が駆動されるタイミングを表し、また、g (n+1), g (n+2), …として示す行は、走査線G (n+1), G (n+2), …を表す。そしてマトリックスの各項は、そのハッチングの有無により、画素電極A31, B31, C31が駆動されるタイミングにおいて、走査線G (n+1), G (n+2), …が選択されているか否かを表している。例えば、このマトリックスの1行1列において付されたハッチングは、画素電極A31を駆動するタイミングにおいて、走査線G (n+1)が選択されたことを表している。

また、マトリックスの各項において表示されたA, B, C, …の文字は、その項に対応した走査線G (n+1), G (n+2), …が選択されることによって、その画素電極A31, B31, C31, …のいずれかが駆動されるかを表している。例えば、マトリックスの1行1列目と3行1列目に「A」が表示されることによって、画素電極A31, A32, …を駆動すべきタイミングにおいて、走査線G (n+1)およびG (n+3)が同時に選択されることにより、画素電極A31が駆動されることが表わされている。また、マトリックスに表示される「P D」等の文字は、その項に対応した走査線G (n+1), G (n+2), …が選択されることによって、画素電極D31がプレチャージされることを表している。例えば、例えば、マトリックスの2行2列目と4行2列目に「P D」が表示されることによって、画素電極B31を駆動すべきタイミングにおいて、走査線G (n+2)およびG (n+4)が同時に選択されることにより、画素電極D31がプレチャージされることが駆動されることが表わされている。

このマトリックスによれば、画素電極（D 3 1）のプレチャージが、異なる列にある画素電極（B 3 1）のチャージのタイミングで行われ、かつ、プレチャージを行うための走査線グループ（G  $n + 2$ , G  $n + 3$ ）と、チャージを行うための走査線グループ（G  $n + 1$ , G  $n + 2$ ）とが重なることが理解できる。

## 【0069】

以上述べたように、本第三の実施の形態では、プレチャージに必要な条件を満たしつつ、多重画素構造を有する画素電極のチャージおよびプレチャージを行うことができ、これにより、高精細化された液晶表示装置1を、精度よく駆動することができる。

さらに、本第三の実施の形態では、例えば、画素電極D 3 1のプレチャージを画素電極B 3 1のチャージ時に行い、画素電極A 3 2のプレチャージを画素電極E 3 2のチャージ時に行うようにしている。このように、チャージすべき画素電極と異なる列にある画素電極も含めて、上記A, Bの条件を満たすような画素電極を選択するようにすることで、同じ列にある画素電極のみ上記A, Bの条件を満たすような画素電極を選択する場合に比較して、選択の幅が広がり、したがって、チャージを行うべき画素電極が存在する行と、同時にプレチャージを行うべき画素電極が存在する行との間隔を狭めることができる。これにより、プレチャージからチャージまでの時間間隔を短くして、表示画素以外の画素に対する影響を最小限とすることができます。

しかも、本第三の実施の形態では、画素電極B 3 1をチャージするために、走査線G ( $n + 1$ )、G ( $n + 2$ )が選択され、画素電極B 3 1のチャージと同時に画素電極D 3 2をプレチャージするために走査線G ( $n + 2$ )、G ( $n + 4$ )が選択される。このように、チャージすべき画素電極の選択制御線とプレチャージすべき画素電極の選択制御線とが重複した構成を採用することによって、チャージを行うべき画素電極が存在する行と、同時にプレチャージを行うべき画素電極が存在する行との間隔を狭め、上述の効果をより顕著なものとすることができます。

## 【0070】

## [第四の実施の形態]

次に、本発明の第四の実施の形態を説明する。

この第四の実施の形態は、液晶表示装置1の全体構成や、アレイ基板の回路構成が、上記第一の実施の形態と共通するために、ここでは、上記第一の実施の形態と共通する構成については、その説明を省略するとともに、上記第一の実施の形態と異なる点を中心に説明する。

この第四の実施の形態が、上記第一の実施の形態と異なる点は、液晶表示装置1の動作に関する点である。以下、液晶表示装置1の動作について説明する。

図28において、線図G<sub>n</sub>out～G<sub>n+7</sub>outは、シフトパルスがシフトレジスタS Rに伝搬されることにより走査線G<sub>n</sub>～G<sub>n+7</sub>に出力される走査信号の波形を示している。すなわち、これらの線図のうち実線または鎖線で示された部分が立ち上がっているタイミングでは、当該走査線Gが選択され、そうでない部分は当該走査線Gが非選択の状態となっている。なお、これらの線図が立ち上がっている部分のうち、実線で示された部分は、画素電極に対して、この画素電極が一水平走査期間の間保持すべき表示信号電圧を書き込むタイミングを表している。また、鎖線で示された部分は、表示信号電圧を書き込む前に、その書き込み不足を補うために、予備的に表示信号電圧を書き込むタイミング、すなわち、プレチャージのタイミングを示している。

また、図28に示すD<sub>m</sub>(1)は、信号線D<sub>m</sub>により供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示すD<sub>m</sub>は、極性の変化を含んだものとなっている。後述するように、データ信号D<sub>m</sub>(1)により、画素電極A11、B11、C11、D11は全て同一極性で駆動される。

#### 【0071】

次に、本第四の実施の形態における液晶表示装置1の動作を、図28に示す走査信号のタイミングチャート、図29に示すクロック信号、シフトパルス、出力制御信号のタイミングチャートおよび図30～図34の回路図を参照しつつ説明する。

なお、この第四の実施の形態においても、画素に対して、その画素が画面の一水平走査期間内に保持すべき表示信号電圧を書き込む以前に、予備的に他の表示信号電圧を書き込んでおくプレチャージ手法が採用されるものとする。

また、図29のタイミングチャートは、走査線 $G_{n+1} \sim G_{n+4}$ に供給される走査信号 $G_{n+1}\text{out} \sim G_{n+4}\text{out}$ と、これに対応してシフトレジスタSRに対して出力されるシフトパルスSDIおよび出力制御信号OE1, OE2, OE3と、シフトレジスタSRを駆動するクロック信号YCLKとの関係を示している。なお、図29に示す走査信号 $G_{n+1}\text{out} \sim G_{n+4}\text{out}$ においてはプレチャージのために立ち上がる部分についても実線で示している。

この液晶表示装置1において画素の駆動を行うには、まず、コントロール回路6のパルス生成部9からゲートドライバ5に対してシフトパルスSDI（図29参照）を出力する。

図29中に示すように、シフトパルスSDIは、その立ち上がりから立ち下がりまでの時間幅がクロック信号YCLKの2周期分の第1のパルスP1と、立ち上がりから立ち下がりまでの時間幅がクロック信号YCLKの2周期分の第2のパルスP2とからなる信号列となっている。ここで、クロック信号YCLKの1周期は、画面の一水平走査期間と同一となっている。すなわち、シフトパルスSDIは、第1のパルスP1が二水平走査期間の時間幅であり、一水平走査期間分の時間幅の第2のパルスP2が二水平走査期間の間隔をあけて第1のパルスP1に連続するような、計六水平走査期間の時間幅を有する信号列となっている。

ゲートドライバ5のシフトレジスタ部12において、シフトパルスSDIは、クロック信号YCLKの1周期をもって、クロック信号YCLKに同期して次のシフトレジスタSRに対して移動する。したがって、シフトパルスSDIが六水平走査期間の時間幅を有することにより、シフトパルスSDIは、隣接する2つのシフトレジスタSRおよびこれから2つ間隔をあけた2つのシフトレジスタSRに存在しつつ順次移動することになる。ここで、図29のような出力制御信号OE1, OE2, OE3を互いに隣接するバッファBに対して供給することによって、6つのシフトレジスタSRに接続されたバッファBを同時に制御し、これにより、6本の走査線Gを同時に選択制御することができる。また、ここで、バッファBは入力される出力制御信号OEの値が「0」の際にON状態とされ、「1」の際にOFF状態とされるから、走査信号 $G_{n+1}\text{out} \sim G_{n+4}\text{out}$ は、図29下段のようになる。

## 【0072】

次に、画素電極をチャージする際の手順について説明する。

図28のように、走査信号G<sub>n+1</sub>outおよびG<sub>n+2</sub>outが生成されて、走査線G<sub>n+1</sub>およびG<sub>n+2</sub>（第1の走査線群）に供給される場合、走査信号G<sub>n+1</sub>outおよびG<sub>n+2</sub>outのうち、実線で表された部分、すなわち、画素電極に表示信号電圧を書き込むタイミングに注目すると、時間t<sub>0</sub>からt<sub>1</sub>での期間（第1タイミング）では走査線G<sub>n+1</sub>およびG<sub>n+2</sub>の双方が選択されることとなるから、図30のように第1のTFT M1～第3のTFT M3がON状態とされる。これによって、画素電極A<sub>11</sub>、画素電極B<sub>11</sub>および画素電極D<sub>11</sub>に、信号線D<sub>m</sub>から画素電極A<sub>11</sub>に与えるべき電位V<sub>a41</sub>が供給され、画素電極A<sub>11</sub>の電位V<sub>a41</sub>が決定される。なお、図30においては、走査線G<sub>n+1</sub>と走査線G<sub>n+2</sub>が選択されていることを太線で示している。

一方、その後の時間t<sub>1</sub>からt<sub>2</sub>での期間（第2タイミング）においては、走査線G<sub>n+2</sub>が非選択電位となり、走査線G<sub>n+1</sub>のみが選択されることとなるから、図31に示すように第3のTFT M3のみがON状態とされる。ここで、信号線D<sub>m</sub>から供給される電位が、画素電極B<sub>11</sub>に与えるべき電位V<sub>b41</sub>に変化することにより、画素電極B<sub>11</sub>には電位V<sub>b41</sub>が供給され、これにより、画素電極B<sub>11</sub>の電位が決まる。なお、時間t<sub>0</sub>からt<sub>2</sub>までの期間は一水平走査期間（第1の水平走査期間）に相当し、上述のような画素駆動を行うことにより、信号線D<sub>m</sub>の電位を時分割で画素電極A<sub>11</sub>およびB<sub>11</sub>（第1の画素電極群）に供給することができる。

## 【0073】

走査線G<sub>n+1</sub>が非選択電位になった後に、信号線D<sub>m</sub>の電位は、画素電極C<sub>11</sub>に与えるべき電位V<sub>c41</sub>に変化する。

ここで、図28において、走査信号G<sub>n+2</sub>outおよびG<sub>n+3</sub>outに着目すると、時間t<sub>2</sub>からt<sub>3</sub>での期間では、走査線G<sub>n+2</sub>およびG<sub>n+3</sub>の双方が選択されている。これにより、図32に示すように、画素電極C<sub>11</sub>、画素電極D<sub>11</sub>および画素電極B<sub>12</sub>に、信号線D<sub>m</sub>から画素電極C<sub>11</sub>に与えるべき電位V<sub>c41</sub>が供給され、画素電極C<sub>11</sub>の電位V<sub>c41</sub>が決定される。

また、その後の時間  $t_3$  から  $t_4$  での期間では、走査線  $G_{n+3}$  が非選択電位となり、走査線  $G_{n+2}$  のみが選択されることとなるから、図33に示すように、信号線  $D_m$  から供給される電位が、画素電極  $D_{11}$  に与えるべき電位  $V_{d41}$  に変化することにより、画素電極  $D_{11}$  には電位  $V_{d41}$  が供給され、これにより、画素電極  $D_{11}$  の電位が決まる。

さらに、時間  $t_4$  以後は、図28に示すように、走査信号  $D_m$  (1) の極性が反転する。

そして、時間  $t_4$  以後に、画素電極  $A_{11}$ ,  $B_{11}$ ,  $C_{11}$ ,  $D_{11}$  より下段の画素電極  $A_{12}$ ,  $B_{12}$ ,  $C_{12}$ ,  $D_{12}$  に対して、同様の手順により、電位  $V_{a42}$ ,  $V_{b42}$ ,  $V_{c42}$ ,  $V_{d42}$  が供給される。さらに、その後、2行ごとに画素電極に対して供給すべき電位を極性を反転させて供給することにより、液晶表示装置1は、2行ごとにその極性が反転する2ライン反転駆動の表示装置として駆動されることとなる。

#### 【0074】

次に、画素のプレチャージ方法について説明する。

この第四の実施の形態においては、例えば、画素電極  $A_{11}$  をチャージする際に、上記の条件AおよびBを満たすような画素電極として、画素電極  $A_{11}$  から四段下段にある画素電極  $A_{13}$  (所定の画素電極) を選択する。

すなわち、図28中に鎖線で示すように、時間  $t_0$  から  $t_1$  までの間に、走査信号  $G_{n+5\text{out}}$  および  $G_{n+6\text{out}}$  の電位を立ち上げ、これによって、図30に示すように、画素電極  $A_{13}$  の選択線である走査線  $G_{n+5}$  および  $G_{n+6}$  (第2の走査線群、所定の走査線) を選択制御して、画素電極  $A_{13}$  への表示信号の供給を制御する第1のTFT  $M_1$ 、第2のTFT  $M_2$  をONとする。これにより、画素電極  $A_{11}$  に対して供給される表示信号と同一の表示信号が、信号線  $D_m$  から画素電極  $A_{13}$  に対して供給され、画素電極  $A_{13}$  に電位  $V_{a41}$  が印加されて、画素電極  $A_{13}$  が画素電極  $A_{11}$  と同一極性でプレチャージされる。

なお、この場合、走査線  $G_{n+5}$  が選択されることにより、信号線  $D_m$  から画素電極  $B_{13}$  への表示信号の供給を制御する第3のTFT  $M_3$  がONとされるとともに、走査線  $G_{n+6}$  が選択されることにより、信号線  $D_m$  から画素電極  $D$

1 3への表示信号の供給を制御する第3のTFT M3がONとされる。したがって、これら画素電極B 1 3 およびD 1 3にも電位V a 4 1が印加されることとなる。

## 【0075】

この後、時間t 1からt 2までの期間では、図28に示すように、いずれの走査線Gについてもプレチャージのための選択がなされず、したがって、図31に示すように、画素電極A 1 3, B 1 3, D 1 3は、電位V a 4 1が保たれたままとなる。

次に、画素電極C 1 1のチャージを行う期間である時間t 2からt 3までの期間では、図28中に鎖線で示すように、走査信号G n + 6 outおよびG n + 7 outの電位が立ち上がることにより、走査線G n + 6およびG n + 7が選択制御される。これにより、画素電極C 1 3, D 1 3への表示信号の供給を制御する第1のTFT M1、第2のTFT M2がON状態とされ、図32に示すように、信号線D mから画素電極C 1 3に対して表示信号が供給され、画素電極C 1 3に画素電極C 1 1と同じ電位V c 4 1が印加される。したがって、画素電極C 1 3を画素電極C 1 1と同一極性でプレチャージすることができる。なお、この場合、走査線G n + 6が選択されることにより、信号線D mから画素電極D 1 3への表示信号の供給を制御する第3のTFT M3がONとされ、画素電極D 1 3にも電位V c 4 1が印加されることとなる。

さらに、その後の時間t 3からt 4までの期間では、図28に示すように、いずれの走査線Gについてもプレチャージのための選択がなされないので、図33に示すように、画素電極A 1 3, B 1 3が電位V a 4 1を、画素電極C 1 3, D 1 3が電位V c 4 1を保持することとなる。

以下同様の手順により、チャージ対象の画素電極の後段の画素電極についてプレチャージが行われる。

## 【0076】

ところで、上述のように、ある画素電極Xをチャージする際に同時にプレチャージされる画素電極Yは、画素電極Xに対して次のA, Bのような関係を有することが望ましい。

A、画素電極Yがプレチャージされてからチャージされるまでに、画素電極X、Y以外の画素電極のチャージ時に同時にプレチャージされることはなく、かつ

B、チャージされた画素電極Yおよび画素電極Xは同極性であり、選択タイミング（チャージされるタイミング）が一番近い。

【0077】

この第四の実施の形態のプレチャージ方法では、例えば、図28に示した走査信号G<sub>n+5</sub>outおよびG<sub>n+6</sub>outに着目すると、時間t0からt1までの期間（第一のタイミング）において、走査線G<sub>n+5</sub>とG<sub>n+6</sub>（所定の走査線）とが選択されることにより画素電極A13（所定の画素電極）がプレチャージされた後は、画素電極A12, B12（第2の画素電極群、画素電極群）が順次駆動される時間t5からt7までの間（第2の水平走査期間）のうち、時間t5からt6（図1参照）の間（第二のタイミング、第1タイミング）で走査線G<sub>n+5</sub>およびG<sub>n+6</sub>の双方（第2の走査線群）が選択されることにより画素電極A13がチャージされるまで、他の画素電極の駆動時に、走査線G<sub>n+5</sub>およびG<sub>n+6</sub>の少なくとも一方は非選択とされている（すなわち、チャージ時と異なる信号が走査線G<sub>n+5</sub>およびG<sub>n+6</sub>に出力される）。したがって、画素電極A13は、時間t0からt1の間においてプレチャージされてから、時間t5からt6までの間においてチャージされるまでに再びプレチャージされることが無く、上述のようにプレチャージを行うことによって、上記Aの条件、すなわち、画素電極Yがプレチャージされてからチャージされるまでに、画素電極X、Y以外の画素電極のチャージ時に同時にプレチャージされることがないことを満たす。同様のことが、画素電極C13および画素電極A13と同じ列に配置された他の画素電極についても成り立つ。

【0078】

図34に、こうしたプレチャージの手法をマトリックス表示したものを表す。図34のマトリックスにおいてA, Bで示す各列は、画素電極A11, B11、およびC11が駆動されるタイミングを表し、また、g(n+1), g(n+2), …として示す行は、走査線G(n+1), G(n+2), …を表す。そして

マトリックスの各項は、そのハッチングの有無により、画素電極A11, B11が駆動されるタイミングにおいて、走査線G(n+1), G(n+2), …が選択されているか否かを表している。例えば、このマトリックスの1行1列目において付されたハッチングは、画素電極A31を駆動するタイミングにおいて、走査線G(n+1)が選択されたことを表している。

また、マトリックスの各項において表示されたA, Bの文字は、その項に対応した走査線G(n+1), G(n+2), …が選択されることによって、その画素電極A11, B11, …のいずれかが駆動されるかを表している。例えば、マトリックスの1行1列目と3行1列目に「A」が表示されることによって、画素電極A11を駆動すべきタイミングにおいて、走査線G(n+1)およびG(n+2)が同時に選択されることにより、画素電極A11が駆動されることが表わされている。また、マトリックスに表示される「PA」等の文字は、その項に対応した走査線G(n+1), G(n+2), …が選択されることによって、画素電極A11, A12, …がプレチャージされることを表している。例えば、マトリックスの5行1列目と6行1列目に「PA」が表示されることによって、画素電極A11を駆動すべきタイミングにおいて、走査線G(n+5)およびG(n+6)が同時に選択されることにより、画素電極A11, A12, …のうちいずれか（ここでは画素電極A13）がプレチャージされることが駆動されることが表わされている。

このマトリックスによれば、画素電極（A13）のプレチャージが、同列にある画素電極（A11）のチャージのタイミングで行われ、かつ、プレチャージを行うための走査線グループ（Gn+5, Gn+6）と、チャージを行うための走査線グループ（Gn+1, Gn+2）とが重ならないことが理解される。

#### 【0079】

以上述べたように、本第四の実施の形態では、プレチャージに必要な条件を満たしつつ、多重画素構造を有する画素電極のチャージおよびプレチャージを行うことができ、これにより、高精細化された液晶表示装置1を、精度よく駆動することができる。

#### 【0080】

## 〔第五の実施の形態〕

次に、本発明の第五の実施の形態を説明する。

この第五の実施の形態は、液晶表示装置1の全体構成や、アレイ基板の回路構成が、上記第一の実施の形態と共通するために、ここでは、上記第一の実施の形態と共通する構成については、その説明を省略するとともに、上記第一の実施の形態と異なる点を中心に説明する。

この第五の実施の形態が、上記第一の実施の形態と異なる点は、コントロール回路6'およびゲートドライバ5'の構造に関する点と、液晶表示装置1の動作に関する点である。

## 【0081】

まず、本第五の実施の形態におけるコントロール回路6'およびゲートドライバ5'の構成について、図35を参照して説明する。

本第五の実施の形態のコントロール回路6'が、上記第一の実施の形態のコントロール回路6と異なる点は、コントロール回路6'に設けられた出力可否制御部8'が2系統の出力制御線OE1, OE2に対して、出力制御信号OEを出力する点である。そして、これら2系統の出力制御線OE1, OE2は、ゲートドライバ5'の互いに隣接する2つのバッファBごとに割り当てられて接続されている。したがって、出力可否制御部8'が、これらの出力制御線OE1, OE2, に対して互いに異なる出力制御信号を出力することによって、互いに隣接する2つのバッファBを別個に制御することが可能となっている。

## 【0082】

次に、本第五の実施の形態における液晶表示装置1の動作を、図36および図37のタイミングチャートおよび図38～図41の回路図を参照して説明する。

なお、この第五の実施の形態においては、画素のプレチャージは行わないものとする。

図36において、線図Gnout～Gn+3outは、シフトパルスがシフトレジスタSRに伝搬されることにより走査線Gn～Gn+3に出力される走査信号の波形を示している。すなわち、これらの線図が立ち上がっているタイミングでは、当該走査線Gが選択され、そうでない部分は当該走査線Gが非選択の状態となっ

ている。

また、図36に示すDm(2)は、信号線Dmにより供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示すDmは、極性の変化を含んだものとなっている。後述するように、データ信号Dm(2)による動作によれば、画素電極A11は、画素電極B11と同極性で駆動され、画素電極C11, D11と異なる極性で駆動される。

#### 【0083】

さらに、図37は、走査線Gn+1～Gn+3に供給される走査信号Gn+1out～Gn+3outと、これに対応してシフトレジスタSRに対して出力されるシフトパルスSDIおよび出力制御信号OE1, OE2と、シフトレジスタSRを駆動するクロック信号YCLKとの関係を示すタイミングチャートである。

#### 【0084】

この液晶表示装置1において画素の駆動を行うには、まず、コントロール回路6'のパルス生成部9からゲートドライバ5'に対してシフトパルスSDI(図37参照)を出力する。

図37中に示すように、シフトパルスSDIは、その立ち上がりから立ち下がりまでの時間幅が、クロック信号YCLKの2周期分となっている。ここで、クロック信号YCLKの1周期は、画面の一水平走査期間と同一となっている。すなわち、シフトパルスSDIの時間幅は、二水平走査期間分の時間幅となっている。

ゲートドライバ5'のシフトレジスタ部12において、シフトパルスSDIは、クロック信号YCLKの1周期をもって、クロック信号YCLKに同期して次のシフトレジスタSRに対して移動するために、このように、シフトパルスSDIがクロック信号YCLKの2周期分の時間幅を有することによって、シフトパルスSDIは、隣接する2つのシフトレジスタSRに存在しつつ順次移動することになる。したがって、図37のような出力制御信号OE1およびOE2を互いに隣接するバッファBに対して供給することによって、2つのシフトレジスタSRに接続されたバッファBを同時に制御し、これにより、2本の走査線Gを同時に選択制御することができる。

## 【0085】

ゲートドライバ5'の具体的な動作は以下のようになる。なお、図37中に示す出力制御信号O E 1は、走査線G n + 1, G n + 3, …の入力端に接続されたバッファBに対して供給され、一方、出力制御信号O E 2は、走査線G n + 2, G n + 4, …の入力端に接続されたバッファBに対して供給されるものとする。

図37中に示す時間t 0からt 2までのタイミングにおいて、シフトパルスS D Iが走査線G n + 1およびG n + 2のそれぞれに接続されたシフトレジスタS Rに存在しているとする。ここで、まず時間t 0からt 1までの間では、走査線G n + 1およびG n + 2に対応したバッファBに供給される出力制御信号O E 1および出力制御信号O E 2は、双方がその値が「0」となっているため、走査線G n + 1およびG n + 2の入力端に接続されたバッファBがともにON状態とされ、これにより、シフトレジスタS RにあるシフトパルスS D Iのデータが走査線G n + 1およびG n + 2に対して、走査信号G n + 1 outおよびG n + 2 outとして出力される。これによって、時間t 0からt 1までの間においては、走査線G n + 1およびG n + 2の双方を選択制御することができる。

さらに、次の時間t 1からt 2までのタイミングにおいては、出力制御信号O E 1は、その値が「0」とされるが、出力制御信号O E 2の値が「1」とされるために、走査線G n + 1の入力端に接続されたバッファBのみがON状態とされ、これにより、走査線G n + 1に対応するシフトレジスタS RにあるシフトパルスS D Iのデータのみが走査線G n + 1に出力される。したがって、走査信号G n + 1 outおよびG n + 2 outは、図37のようになり、これにより、走査線G n + 1のみが選択される。

## 【0086】

そして、次の時間t 2からt 4までのタイミングにおいては、シフトレジスタS Rがクロック信号Y C L Kと同期して動作することにより、シフトパルスS D Iが、走査線G n + 2およびG n + 3のそれぞれに接続されたシフトレジスタS Rに移動することとなる。ここで、時間t 2からt 3までの間においては、走査線G n + 2およびG n + 3に対応したバッファBに供給される出力制御信号O E 2および出力制御信号O E 1は、双方がその値が「0」となっているため、走査

線  $G_{n+2}$  および  $G_{n+3}$  の入力端に接続されたバッファ B がともに ON 状態とされ、これにより、シフトレジスタ SR にあるシフトパルス SDI のデータが走査線  $G_{n+2}$  および  $G_{n+3}$  に対して、走査信号  $G_{n+2\text{out}}$  および  $G_{n+3\text{out}}$  として出力される。これによって、時間  $t_2$  から  $t_3$  までの間においては、走査線  $G_{n+2}$  および  $G_{n+3}$  の双方を選択制御することができる。さらに、時間  $t_3$  から  $t_4$  までの間においては、出力制御信号 OE2 は、その値が「0」とされるが、出力制御信号 OE1 の値が「1」とされるために、走査線  $G_{n+2}$  の入力端に接続されたバッファ B のみが ON 状態とされ、これにより、走査線  $G_{n+2}$  に対応するシフトレジスタ SR にあるシフトパルス SDI のデータのみが走査線  $G_{n+2}$  に出力される。したがって、走査信号  $G_{n+2\text{out}}$  および  $G_{n+3\text{out}}$  は、図 3 7 のようになり、これにより、走査線  $G_{n+2}$  のみが選択される。

#### 【0087】

次に、このようなゲートドライバ 5' の動作に対応する画素の駆動方法について説明する。

図 3 6、図 3 7 のように、走査信号  $G_{n+1\text{out}}$  および  $G_{n+2\text{out}}$  が生成される場合、走査信号  $G_{n+1\text{out}}$  および  $G_{n+2\text{out}}$  に注目すると、時間  $t_0$  から  $t_1$  までの期間では走査線  $G_{n+1}$  および  $G_{n+2}$  の双方が選択されることとなるから、図 3 8 に示すように第 1 の TFT M1～第 3 の TFT M3 が ON 状態とされる。これによって、画素電極 A11、画素電極 B11 および画素電極 D11 に、信号線 Dm から画素電極 A11 に与えるべき電位  $V_{a11}$  が供給され、画素電極 A11 の電位  $V_{a11}$  が決定される。なお、図 3 8 においては、走査線  $G_{n+1}$  と走査線  $G_{n+2}$  が選択されていることを太線で示している。

一方、その後の時間  $t_1$  から  $t_2$  までの期間においては、走査線  $G_{n+2}$  が非選択電位となり、走査線  $G_{n+1}$  のみが選択されることとなるから、図 3 9 に示すように第 3 の TFT M3 のみが ON 状態とされる。ここで、信号線 Dm から供給される電位が、画素電極 B11 に与えるべき電位  $V_{b11}$  に変化することにより、画素電極 B11 には電位  $V_{b11}$  が供給され、これにより、画素電極 B11 の電位が決まる。このように、信号線 Dm の電位を時分割で画素電極 A11 および画素電極 B11 に供給することができる。

## 【0088】

走査線  $G_{n+1}$  が非選択電位になった後に、図36に示すように、信号線  $D_m$  の電位はその極性が反転するとともに、画素電極  $C_{11}$  に与えるべき電位  $V_{c11}$  に変化する。

ここで、図36において、走査信号  $G_{n+2\text{out}}$  および  $G_{n+3\text{out}}$  に着目すると、時間  $t_3$  から  $t_4$  までの期間では、走査線  $G_{n+2}$  および  $G_{n+3}$  の双方が選択されている。これにより、図40に示すように、画素電極  $C_{11}$ 、画素電極  $D_{11}$  および画素電極  $B_{12}$  に、信号線  $D_m$  から画素電極  $C_{11}$  に与えるべき電位  $V_{c11}$  が供給され、画素電極  $C_{11}$  の電位  $V_{c11}$  が決定される。

また、その後の時間  $t_4$  から  $t_5$  までの期間では、走査線  $G_{n+3}$  が非選択電位となり、走査線  $G_{n+2}$  のみが選択されることとなるから、図41に示すように、信号線  $D_m$  から供給される電位が、画素電極  $D_{11}$  に与えるべき電位  $V_{d11}$  に変化することにより、画素電極  $D_{11}$  には電位  $V_{d11}$  が供給され、これにより、画素電極  $D_{11}$  の電位が決まる。

この場合、画素電極  $A_{11}$ 、 $B_{11}$  に対して供給される電位  $V_{a11}$ 、 $V_{b11}$  と、画素電極  $C_{11}$ 、 $D_{11}$  に対して供給される電位  $V_{c11}$ 、 $V_{d11}$  とは、逆極性であるために、液晶表示装置1は、1行ごとにその極性が反転するライン反転駆動の表示装置として駆動されることとなる。

## 【0089】

以上のように、本第五の実施の形態では、クロック信号  $YCLK$  の2倍の時間幅のシフトパルス  $SDI$  を、2系統の出力制御線  $OE$  により良好に駆動することができる。

なお、上記第五の実施の形態に代えて、クロック信号  $YCLK$  の  $m$  ( $m$  は2以上の自然数) 倍の時間幅のシフトパルス  $SDI$  を  $m$  系統の出力制御線  $OE$  によって制御するようにしてもよい。

## 【0090】

## [第六の実施の形態]

次に、本発明の第六の実施の形態について説明する。

この第六の実施の形態は、液晶表示装置1の全体構成や、アレイ基板の回路構

成が、上記第一の実施の形態が共通し、また、画素の駆動方法が上記第五の実施の形態と共にするために、ここでは、上記第一および第五の実施の形態と共に構成については、その説明を省略するとともに、上記第一および第五の実施の形態と異なる点を中心に説明する。

この第六の実施の形態が、上記第一および第五の実施の形態と異なる点は、液晶表示装置1を駆動する際の、コントロール回路6, 6' およびゲートドライバ5, 5' の動作に関する点である。なお、この第五の実施の形態においても、画素のプレチャージは行わないものとする。

#### 【0091】

まず、本第六の実施の形態におけるコントロール回路6' およびゲートドライバ5' の動作について説明する。

図4 2は、走査線G<sub>n+1</sub>～G<sub>n+3</sub>に供給される走査信号G<sub>n+1 out</sub>～G<sub>n+3 out</sub>と、これに対応してシフトレジスタSRに対して出力されるシフトパルスSDIおよび出力制御信号OE1, OE2, OE3と、シフトレジスタSRを駆動するクロック信号YCLKとの関係を示すタイミングチャートである。なお、図4 2においては、走査信号G<sub>n+1 out</sub>～G<sub>n+4 out</sub>のうち、プレチャージのために電位が立ち上がる部分についても、実線で表している。

#### 【0092】

この第六の実施の形態において画素の駆動を行うには、まず、コントロール回路6' のパルス生成部9からゲートドライバ5' に対してシフトパルスSDI(図4 2参照)を出力する。

図3 7中に示すように、シフトパルスSDIは、その立ち上がりから立ち下がりまでの時間幅が、クロック信号YCLKの2周期分となっている。ここで、クロック信号YCLKの1周期は、画面の一水平走査期間と同一となっている。すなわち、シフトパルスSDIの時間幅は、二水平走査期間分の時間幅となっている。

ここで、ゲートドライバ5' のシフトレジスタ部12において、シフトパルスSDIは、クロック信号の1周期をもって、クロック信号YCLKと同期して次のシフトレジスタSRに対して移動するために、このように、シフトパルスSD

Iがクロック信号の2周期分の時間幅を有することによって、シフトパルスSDIは、隣接する2つのシフトレジスタSRに存在しつつ順次移動することになる。

したがって、図37のような出力制御信号OE1、OE2またはOE2、OE3を互いに隣接するバッファBに対して供給することによって、隣接する2つのシフトレジスタSRに接続されたバッファBを同時に制御し、これにより、2本の走査線Gを同時に選択制御することができる。

#### 【0093】

ゲートドライバ5'の具体的な動作は以下のようになる。なお、図37中に示す出力制御信号OE1は、走査線G<sub>n+1</sub>、G<sub>n+4</sub>、…の入力端に接続されたバッファBに対して供給され、出力制御信号OE2は、走査線G<sub>n+2</sub>、G<sub>n+5</sub>、…の入力端に接続されたバッファBに対して、出力制御信号OE3は、走査線G<sub>n+3</sub>、G<sub>n+6</sub>、…の入力端に接続されたバッファBに対して、それぞれ供給されるものとする。

図42中に示す時間t0からt2までのタイミングにおいて、シフトパルスSDIが走査線G<sub>n+1</sub>およびG<sub>n+2</sub>のそれぞれに接続されたシフトレジスタSRに存在しているとする。ここで、まず時間t0からt1までの間では、走査線G<sub>n+1</sub>およびG<sub>n+2</sub>に対応したバッファBに供給される出力制御信号OE1および出力制御信号OE2は、双方がその値が「0」となっているため、走査線G<sub>n+1</sub>およびG<sub>n+2</sub>の入力端に接続されたバッファBがともにON状態とされ、これにより、シフトレジスタSRにあるシフトパルスSDIのデータが走査線G<sub>n+1</sub>およびG<sub>n+2</sub>に対して、走査信号G<sub>n+1 out</sub>およびG<sub>n+2 out</sub>として出力される。これによって、時間t0からt1までの間においては、走査線G<sub>n+1</sub>およびG<sub>n+2</sub>の双方を選択制御することができる。

さらに、次の時間t1からt2までのタイミングにおいては、出力制御信号OE1は、その値が「0」とされるが、出力制御信号OE2の値が「1」とされるために、走査線G<sub>n+1</sub>の入力端に接続されたバッファBのみがON状態とされ、これにより、走査線G<sub>n+1</sub>に対応するシフトレジスタSRにあるシフトパルスSDIのデータのみが走査線G<sub>n+1</sub>に出力される。したがって、走査信号G

$n+1$  out および  $G_{n+2}$  out は、図4 2 のようになり、これにより、走査線  $G_{n+1}$  のみが選択される。

## 【0094】

そして、次の時間  $t_2$  から  $t_4$  までのタイミングにおいては、シフトレジスタ SR がクロック信号 YCLK と同期して動作することにより、シフトパルス SDI が、走査線  $G_{n+2}$  および  $G_{n+3}$  のそれぞれに接続されたシフトレジスタ SR に移動することとなる。ここで、時間  $t_2$  から  $t_3$  までの間においては、走査線  $G_{n+2}$  および  $G_{n+3}$  に対応したバッファ B に供給される出力制御信号 OE2 および出力制御信号 OE3 は、双方がその値が「0」となっているため、走査線  $G_{n+2}$  および  $G_{n+3}$  の入力端に接続されたバッファ B がともに ON 状態とされ、これにより、シフトレジスタ SR にあるシフトパルス SDI のデータが走査線  $G_{n+2}$  および  $G_{n+3}$  に対して、走査信号  $G_{n+2}$  out および  $G_{n+3}$  out として出力される。これによって、時間  $t_2$  から  $t_3$  までの間においては、走査線  $G_{n+2}$  および  $G_{n+3}$  の双方を選択制御することができる。さらに、時間  $t_3$  から  $t_4$  までの間においては、出力制御信号 OE2 は、その値が「0」とされるが、出力制御信号 OE3 の値が「1」とされるために、走査線  $G_{n+2}$  の入力端に接続されたバッファ B のみが ON 状態とされ、これにより、走査線  $G_{n+2}$  に対応するシフトレジスタ SR にあるシフトパルス SDI のデータのみが走査線  $G_{n+2}$  に出力される。したがって、走査信号  $G_{n+2}$  out および  $G_{n+3}$  out は、図4 2 のようになり、これにより、走査線  $G_{n+2}$  のみが選択される。

## 【0095】

このようにして、走査信号  $G_{n+1}$  out,  $G_{n+2}$  out,  $G_{n+3}$  out, … を生成することができることから、本第六の実施の形態においては、上記第五の実施の形態と同様に画素の駆動を行うことができる。すなわち、時間  $t_0$  から  $t_1$  までの期間では走査線  $G_{n+1}$  および  $G_{n+2}$  の双方が選択されることとなるから、図3 8 に示すように信号線 Dm から画素電極 A1 1 に電位  $V_{a11}$  を供給し、時間  $t_1$  から  $t_2$  までの期間においては、走査線  $G_{n+1}$  のみを選択することにより、図3 9 に示すように信号線 Dm から画素電極 B1 1 に電位  $V_{b11}$  を供給する。

さらに、時間  $t_2$  から  $t_3$  までの間では、走査線  $G_{n+2}$  および  $G_{n+3}$  の双方を選択することにより、信号線  $D_m$  から画素電極  $C_{11}$  に電位  $V_{b11}$  と極性の反転した電位  $V_{c11}$  を供給し、時間  $t_3$  から  $t_4$  までの間では、走査線  $G_{n+2}$  のみを選択し、信号線  $D_m$  から画素電極  $D_{11}$  に電位  $V_{d11}$  を供給する。これにより、液晶表示装置 1 を、1 行ごとにその極性が反転するライン反転駆動の表示装置として駆動することができる。

#### 【0096】

以上のように、本第六の実施の形態では、クロック信号  $YCLK$  の 2 倍の時間幅のシフトパルス  $SDI$  を、3 系統の出力制御線  $OE$  により良好に駆動することができる。

なお、上記第六の実施の形態に代えて、クロック信号  $YCLK$  の  $m$  ( $m$  は 2 以上の自然数) 倍の時間幅のシフトパルス  $SDI$  を  $m$  より大きい  $n$  系統の出力制御線  $OE$  によって制御するようにしてもよい。

#### 【0097】

##### 【発明の効果】

以上説明したように、本発明によれば、効率的に、多重化された画素に選択信号を供給することができ、かつ、プレチャージのタイミングおよび画素の駆動波形や駆動方法を決定することができる。

##### 【図面の簡単な説明】

【図 1】 本発明の第一の実施の形態を模式的に示す表示信号および走査信号のタイミングチャートである。

【図 2】 本発明が適用された液晶表示装置の全体構成図である。

【図 3】 本発明の第一の実施の形態における液晶表示装置のアレイ基板の構成を示す回路図である。

【図 4】 本発明の第一の実施の形態の要部を示す、コントロール回路およびゲートドライバのブロック図である。

【図 5】 同、液晶表示装置の回路の動作を示す図である。

【図 6】 同、液晶表示装置の回路の動作を示す図であって、図 5 の次段階を示す図である。

【図7】 同、液晶表示装置の回路の動作を示す図であって、図6の次段階を示す図である。

【図8】 同、液晶表示装置の回路の動作を示す図であって、図7の次段階を示す図である。

【図9】 同、液晶表示装置の選択論理を説明するための回路動作図である

【図10】 同、液晶表示装置の駆動マトリックスである。

【図11】 同、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

【図12】 同、アレイ基板の他の回路構成を示す図である。

【図13】 本発明の第二の実施の形態を模式的に示す図であって、アレイ基板の回路構成図である。

【図14】 表示信号および走査信号のタイミングチャートである。

【図15】 同、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

【図16】 同、液晶表示装置の回路の動作を示す図である。

【図17】 同、液晶表示装置の回路の動作を示す図であって、図16の次段階を示す図である。

【図18】 同、液晶表示装置の回路の動作を示す図であって、図17の次段階を示す図である。

【図19】 同、液晶表示装置の駆動マトリックスである。

【図20】 本発明の第三の実施の形態を模式的に示す図であって、表示信号および走査信号のタイミングチャートである。

【図21】 同、液晶表示装置の回路の動作を示す図である。

【図22】 同、液晶表示装置の回路の動作を示す図であって、図21の次段階を示す図である。

【図23】 同、液晶表示装置の回路の動作を示す図であって、図22の次段階を示す図である。

【図24】 同、液晶表示装置の回路の動作を示す図であって、図23の次

段階を示す図である。

【図25】 同、液晶表示装置の回路の動作を示す図であって、図24の次段階を示す図である。

【図26】 同、液晶表示装置の回路の動作を示す図であって、図25の次段階を示す図である。

【図27】 同、液晶表示装置の駆動マトリックスである。

【図28】 本発明の第四の実施の形態を模式的に示す図であって、表示信号および走査信号のタイミングチャートである。

【図29】 同、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

【図30】 同、液晶表示装置の回路の動作を示す図である。

【図31】 同、液晶表示装置の回路の動作を示す図であって、図30の次段階を示す図である。

【図32】 同、液晶表示装置の回路の動作を示す図であって、図31の次段階を示す図である。

【図33】 同、液晶表示装置の回路の動作を示す図であって、図32の次段階を示す図である。

【図34】 同、液晶表示装置の駆動マトリックスである。

【図35】 本発明の第五の実施の形態を模式的に示すコントロール回路およびゲートドライバの構成図である。

【図36】 同、表示信号および走査信号のタイミングチャートである。

【図37】 同、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

【図38】 同、液晶表示装置の回路の動作を示す図である。

【図39】 同、液晶表示装置の回路の動作を示す図であって、図36の次段階を示す図である。

【図40】 同、液晶表示装置の回路の動作を示す図であって、図37の次段階を示す図である。

【図41】 同、液晶表示装置の回路の動作を示す図であって、図38の次

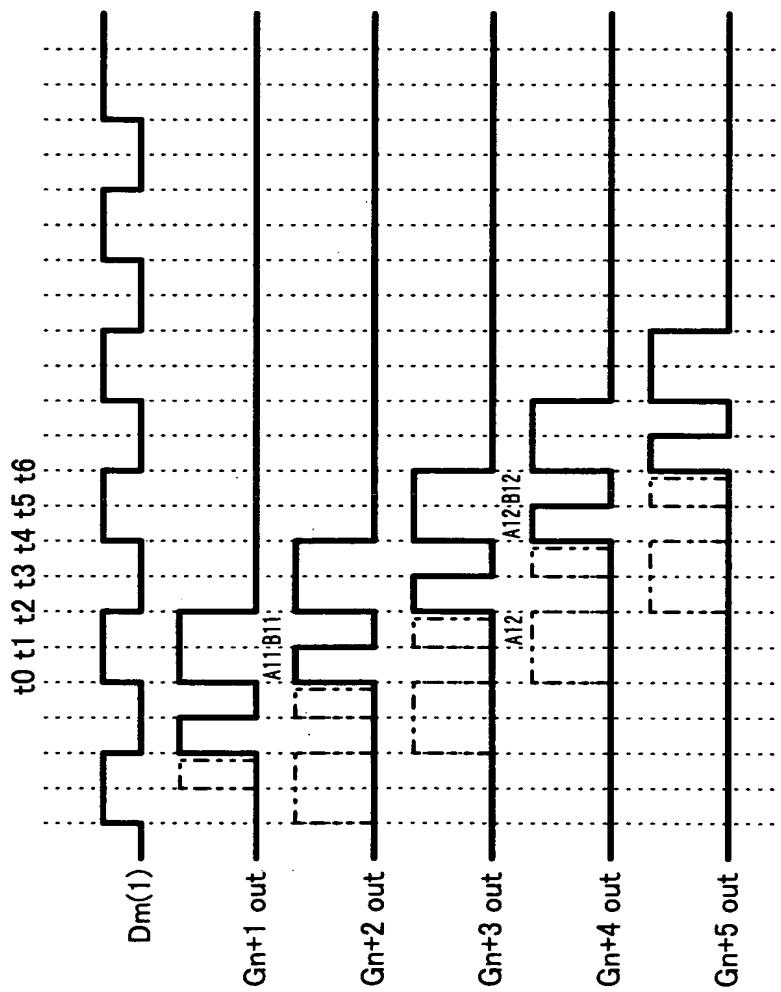
段階を示す図である。

【図42】 本発明の第六の実施の形態を模式的に示す、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

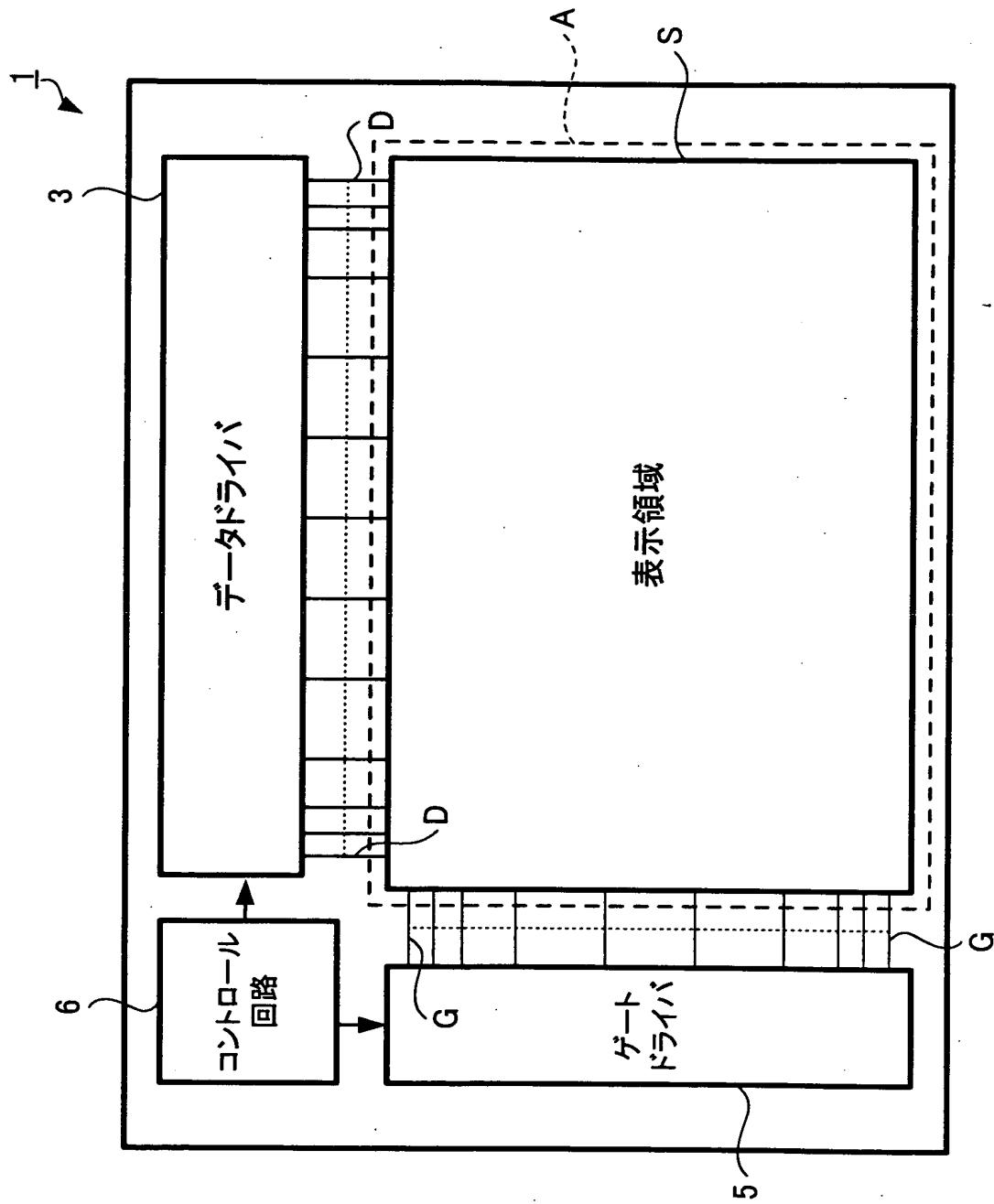
【符号の説明】

1、1' … 液晶表示装置（画像表示装置）、3 … データドライバ、5、5' … ゲートドライバ（走査線駆動回路）、6、6' … コントロール回路（走査線駆動回路）、8、8' … 出力可否制御部、9 … パルス生成部（信号列生成部）、10 … クロック信号生成部、12 … シフトレジスタ部、B … バッファ（出力回路）、D, Dm … 信号線、DCPV, YCLK … クロック信号、G, Gn … 走査線、OE … 出力制御線、出力制御信号、Ot … 出力端子、P1 … 第1のパルス、P2 … 第2のパルス、SDI … シフトパルス（信号列）、SR … シフトレジスタ

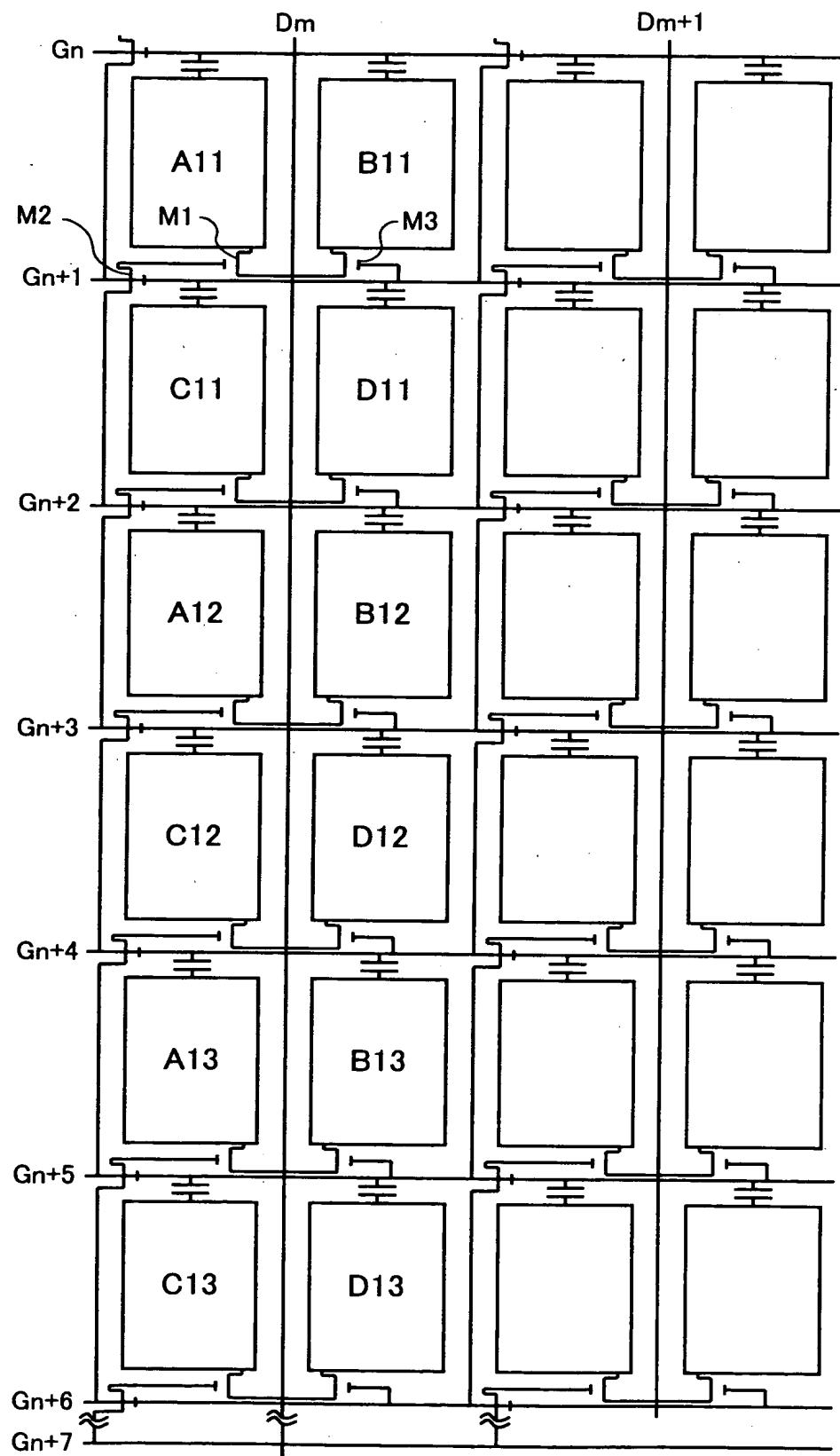
【書類名】 図面  
【図1】



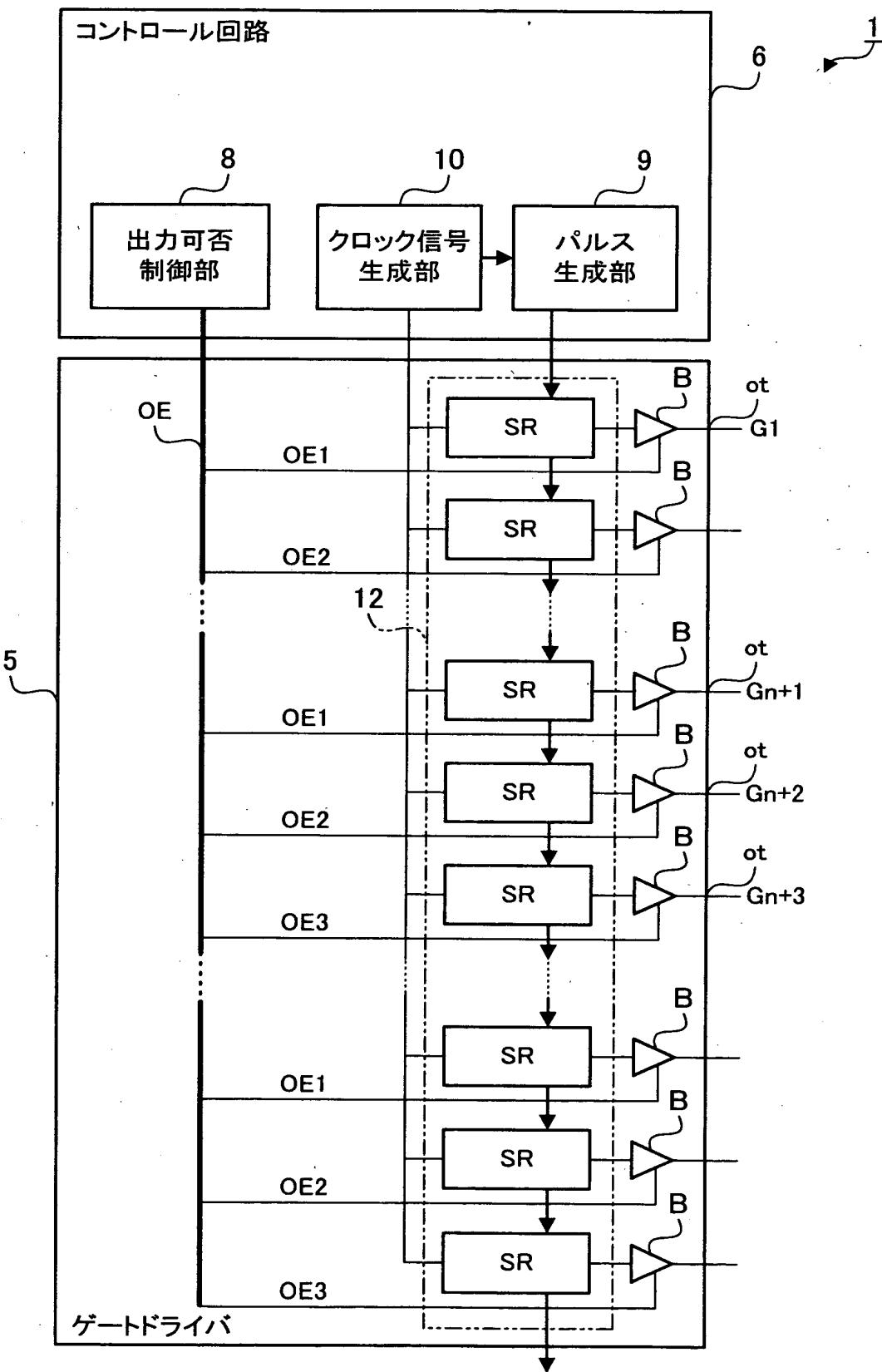
【図2】



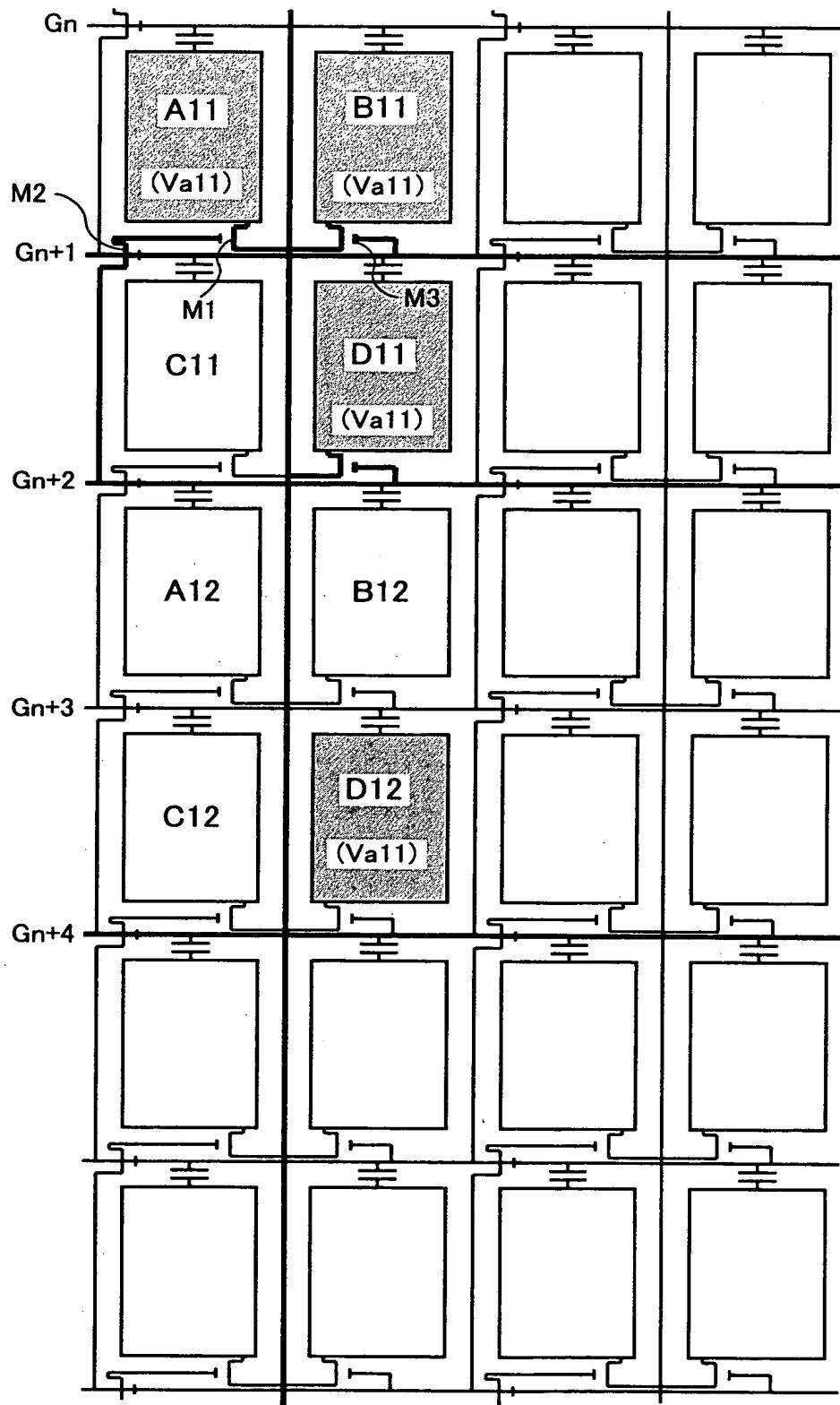
【図3】



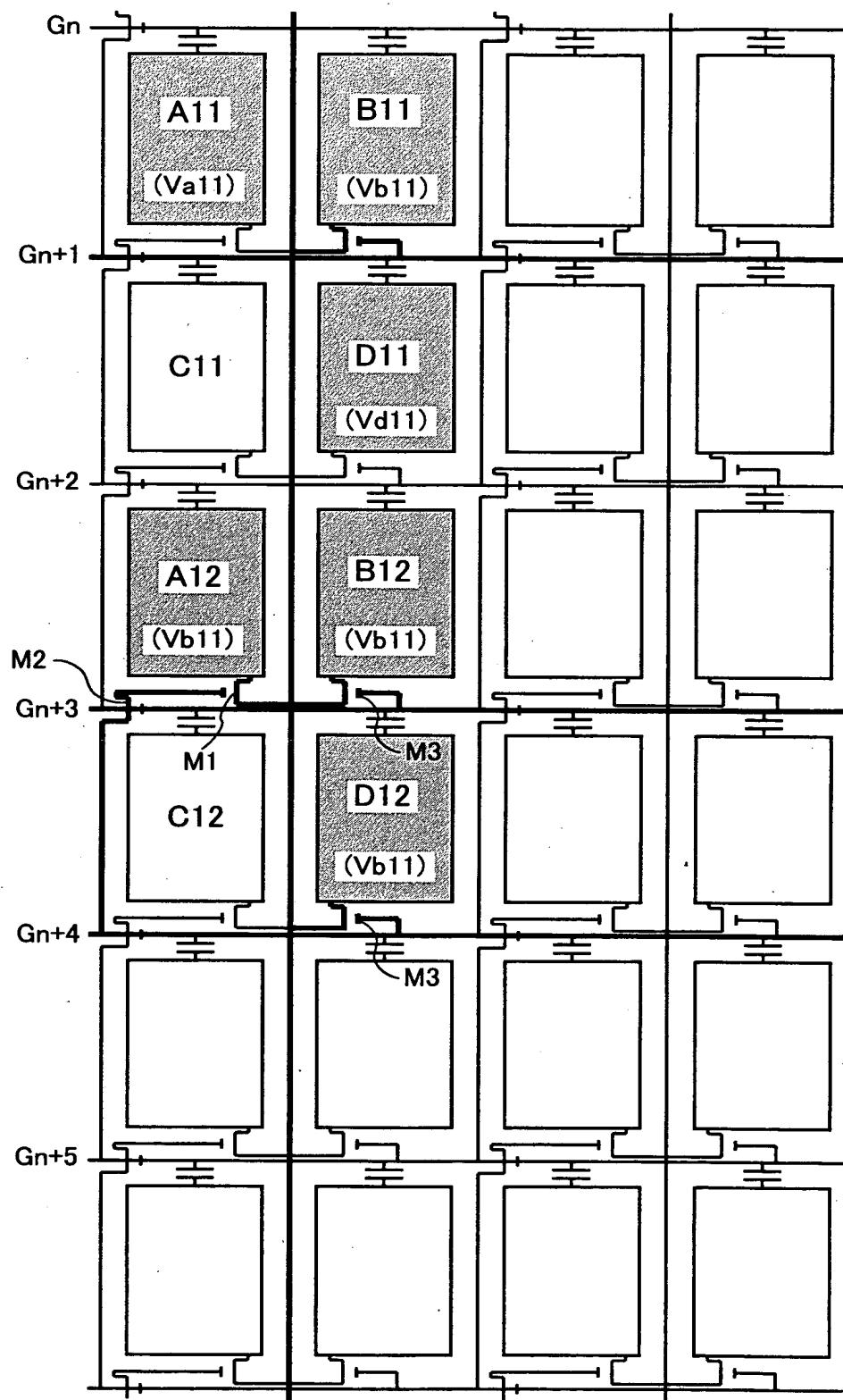
## 【図4】



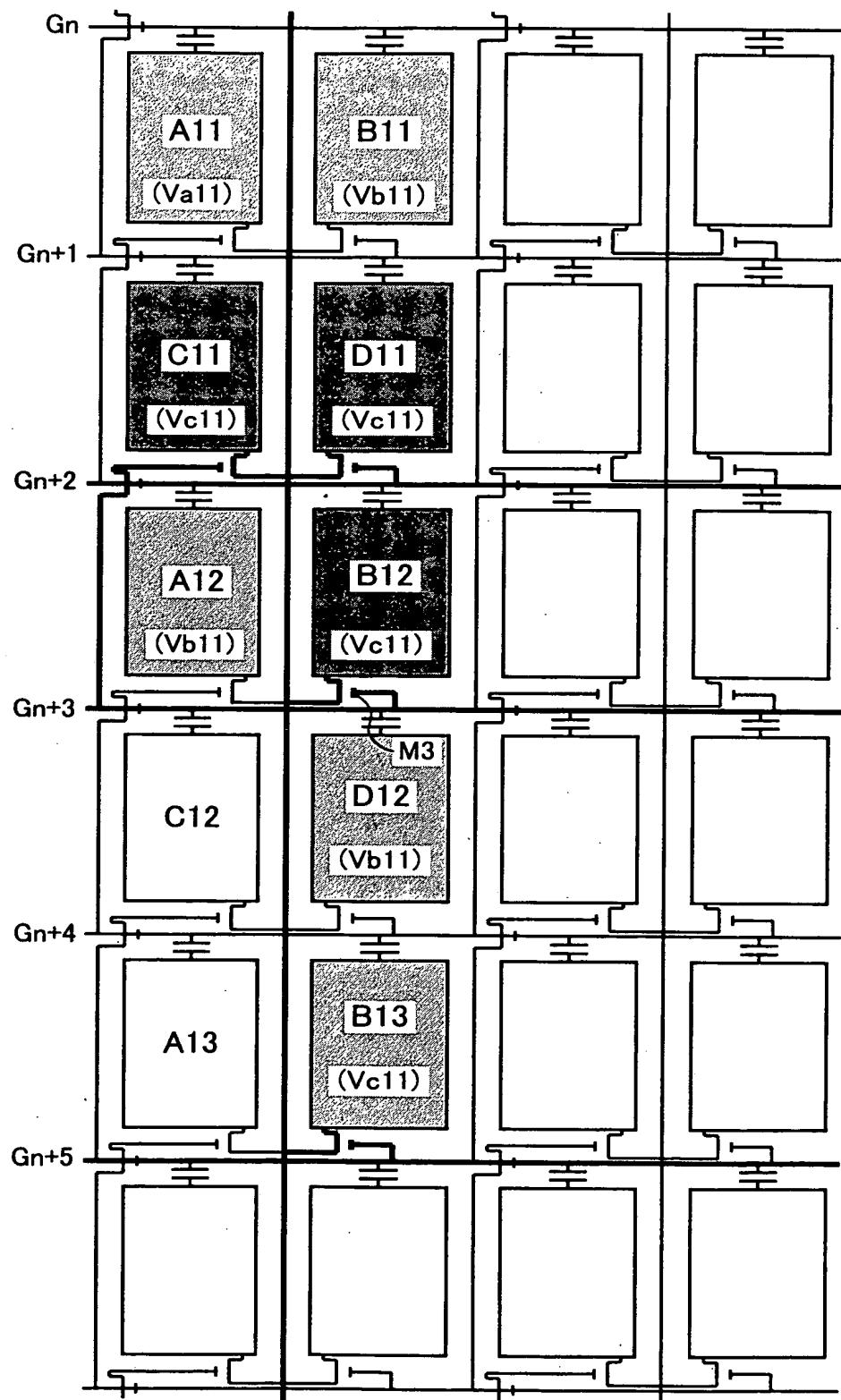
【図5】



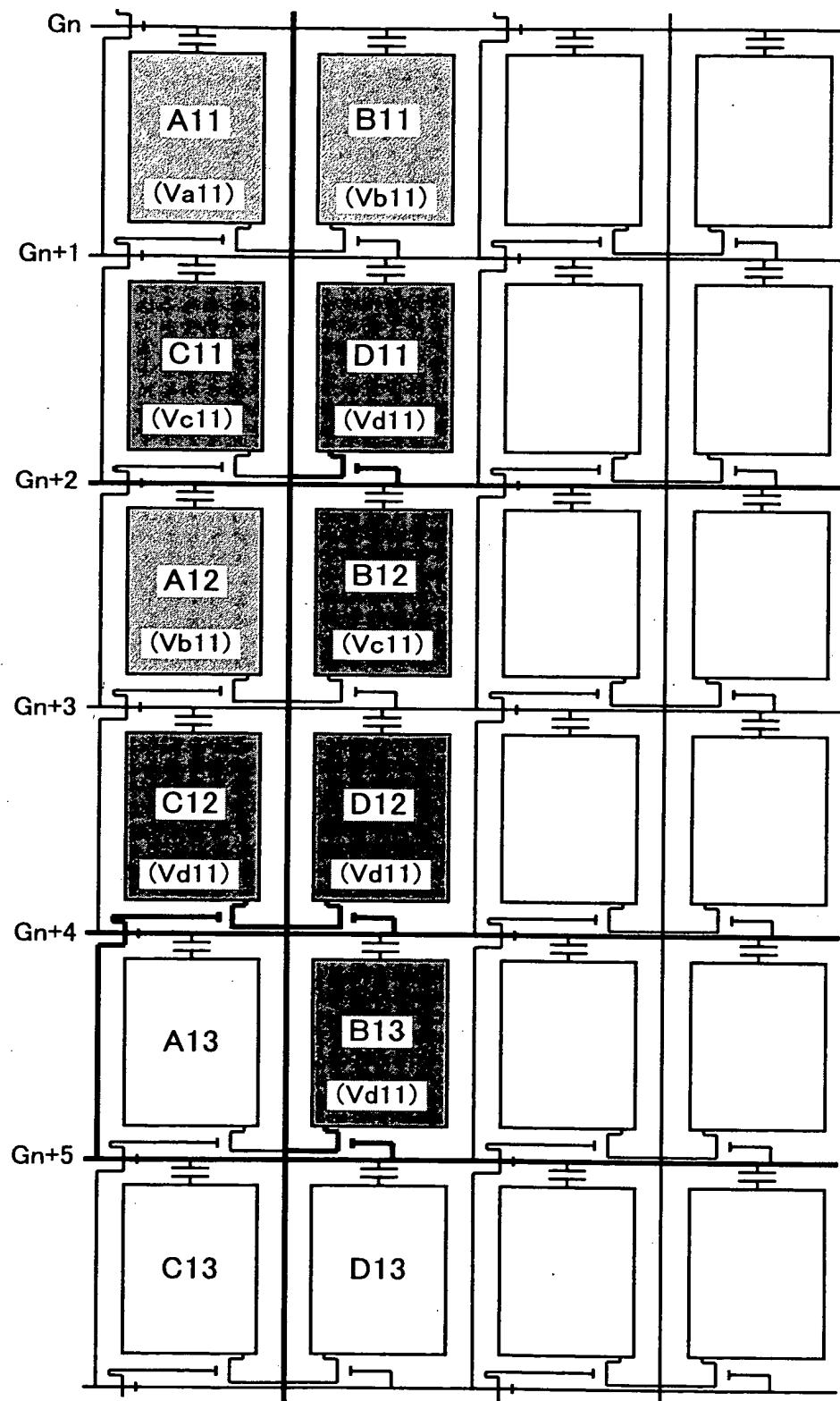
【図6】



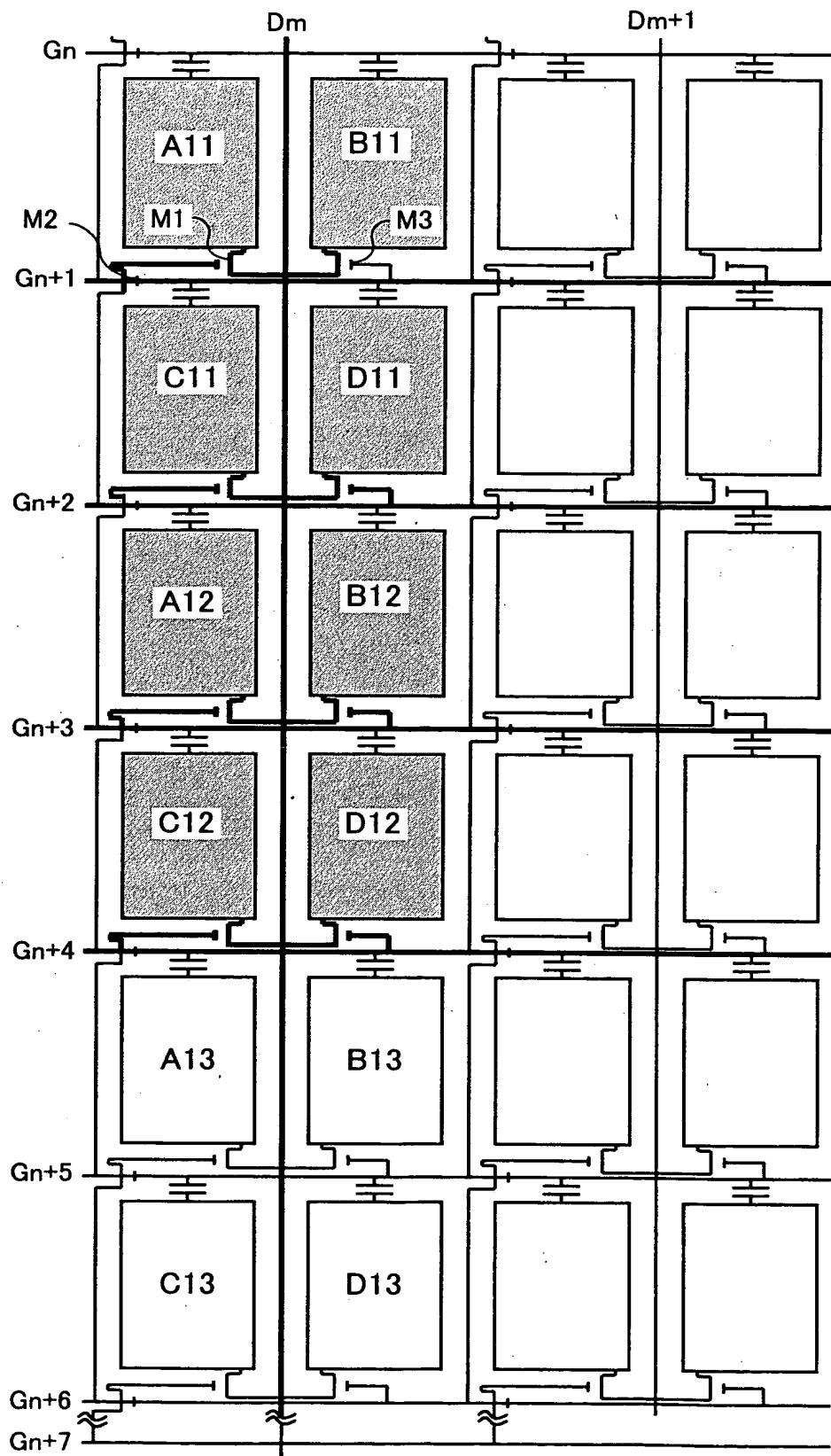
【図7】



【図8】



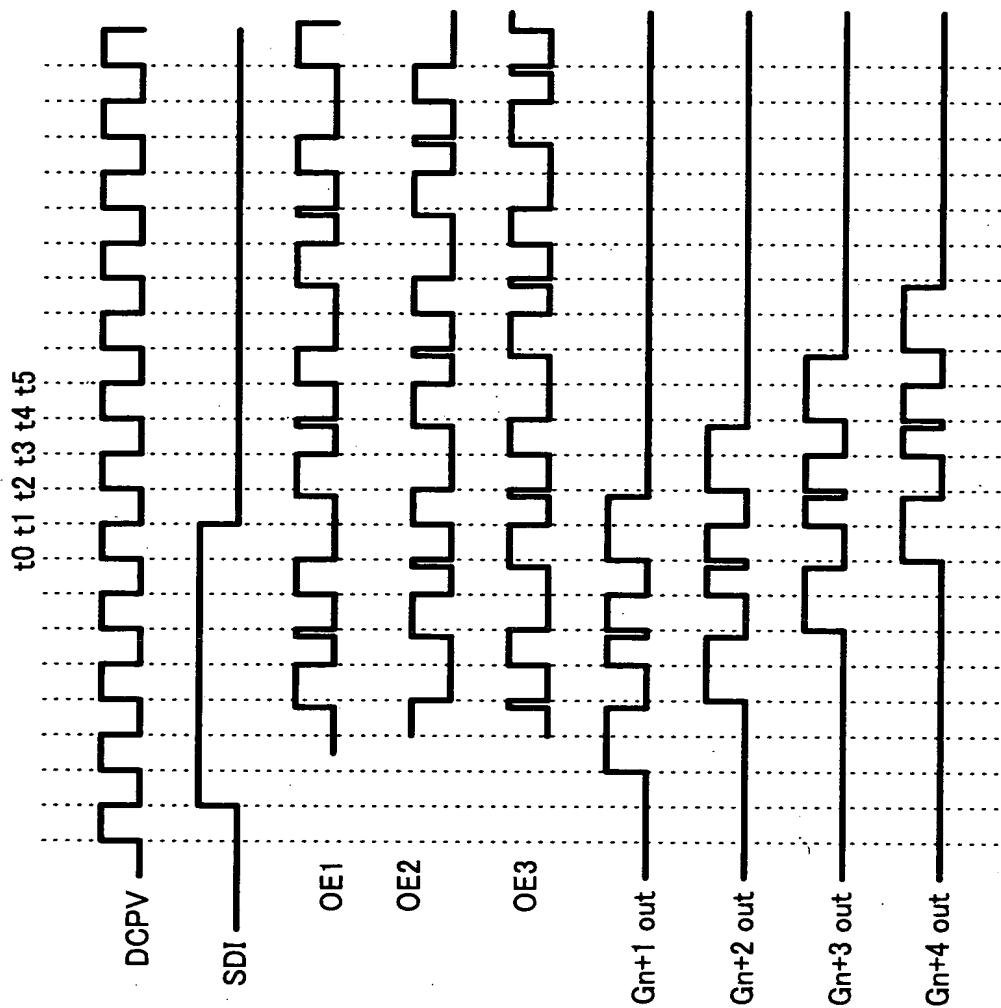
【図9】



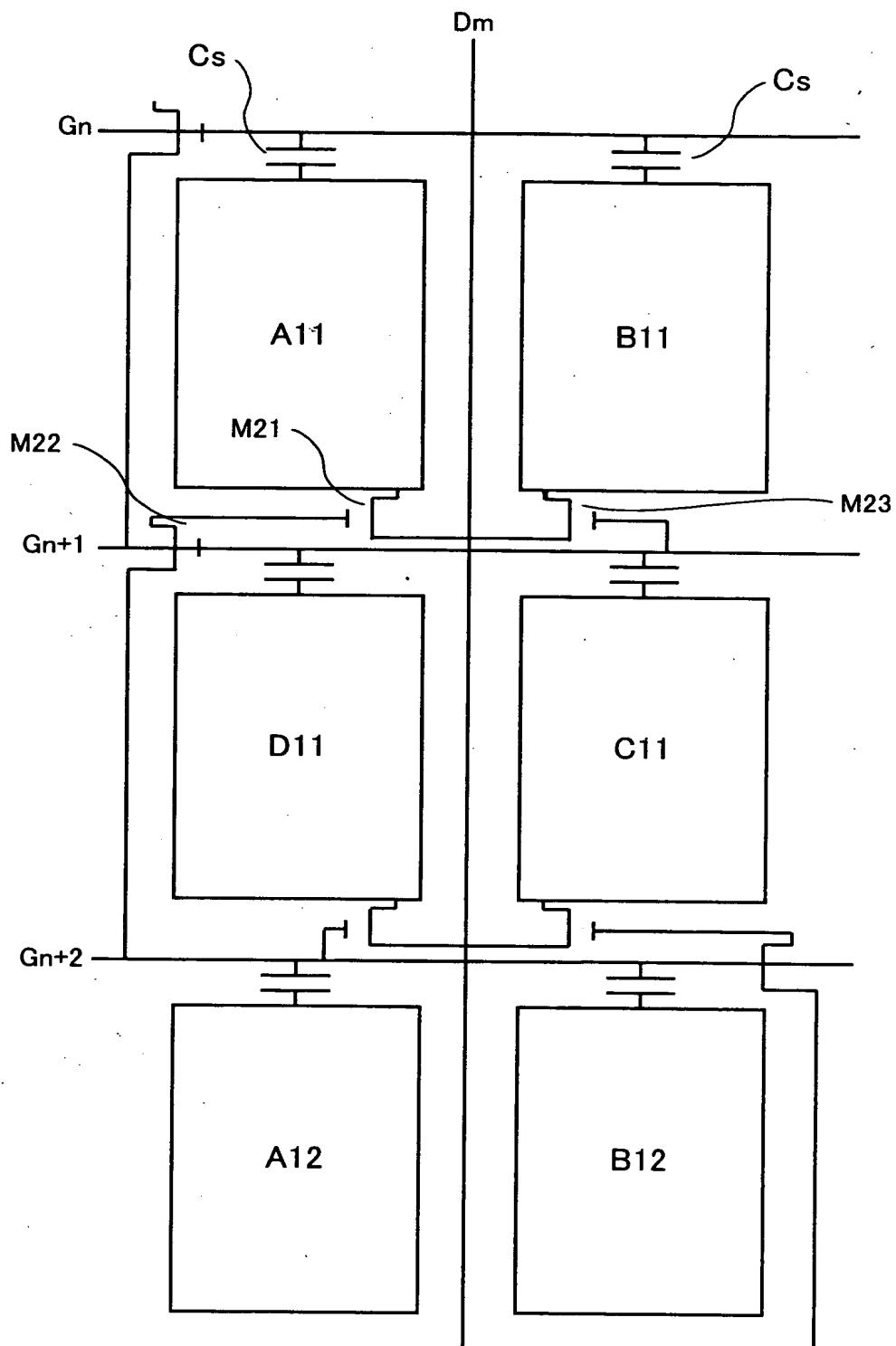
【図10】

Slot	A	B
$g(n+1)$	$\bar{A}$	$\bar{B}$
$g(n+2)$	$\bar{A}$	-
$g(n+3)$	+	$+PA$
$g(n+4)$	-	$-PA$

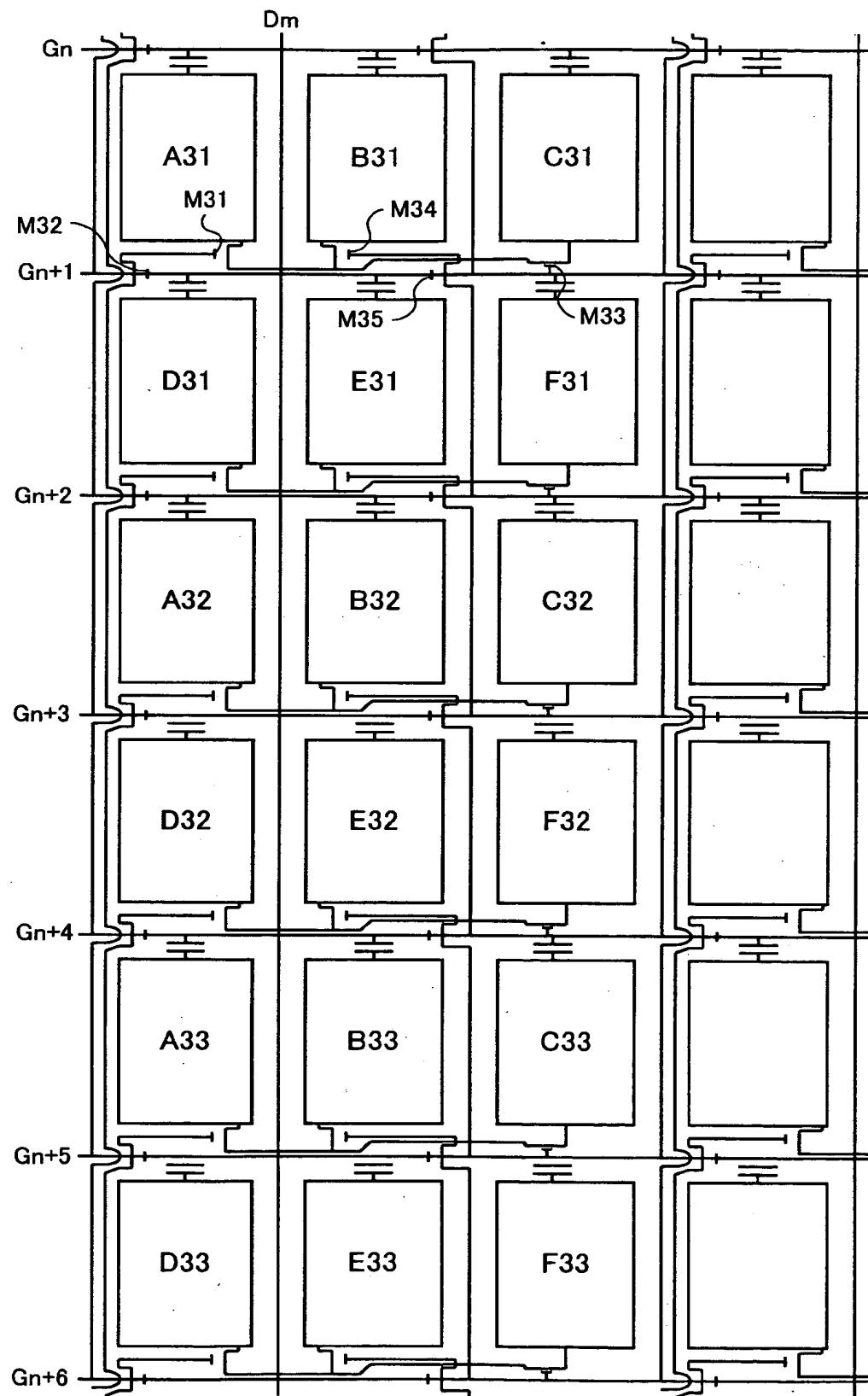
【図11】



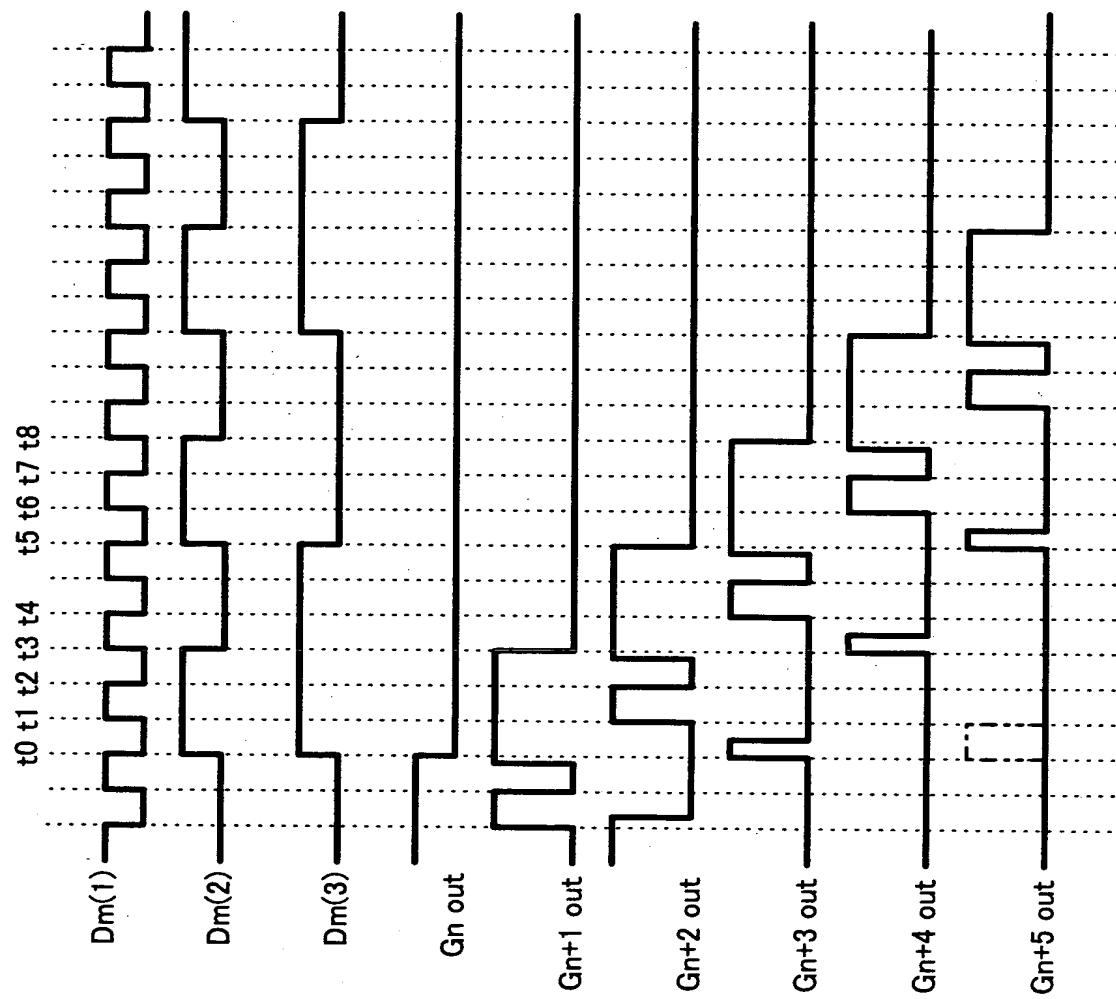
【図12】



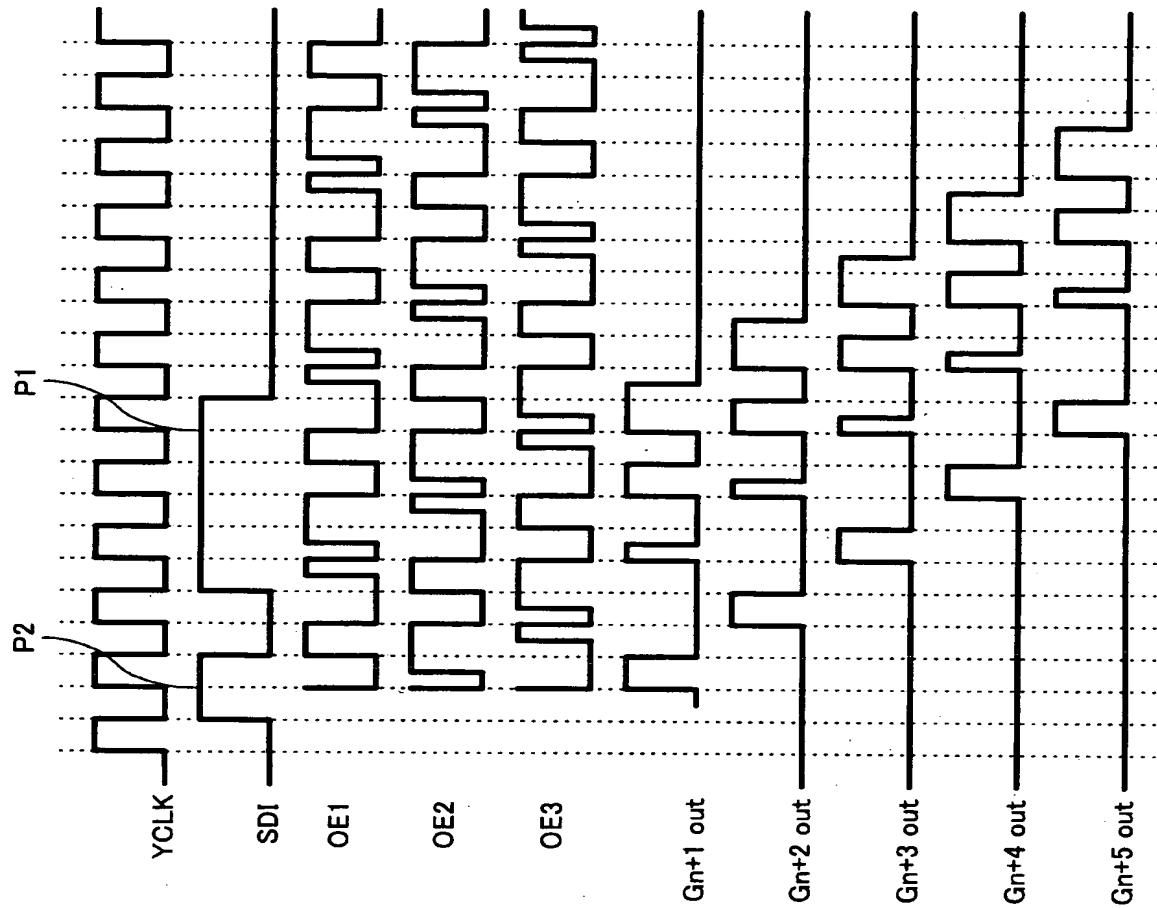
【図13】



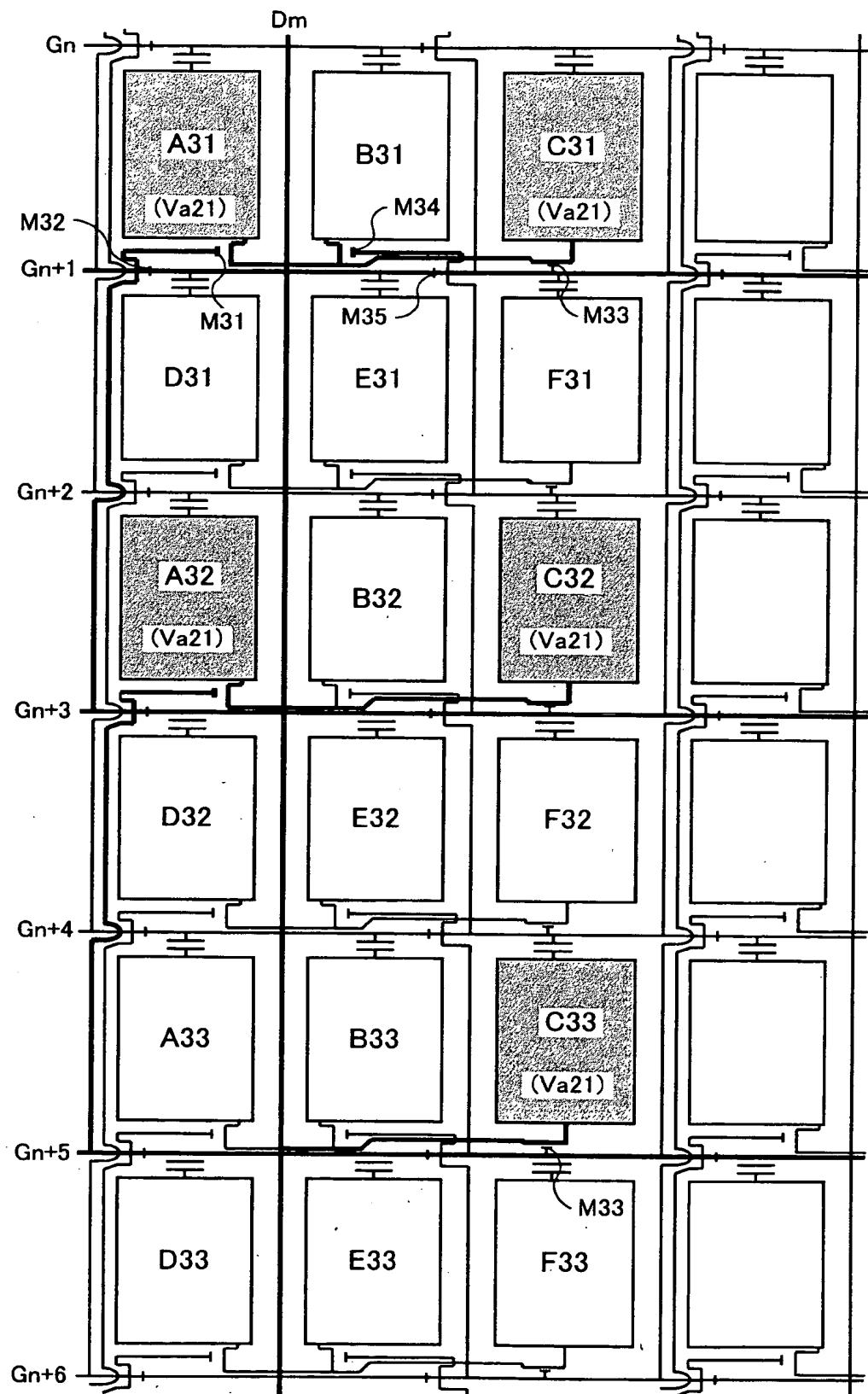
【図14】



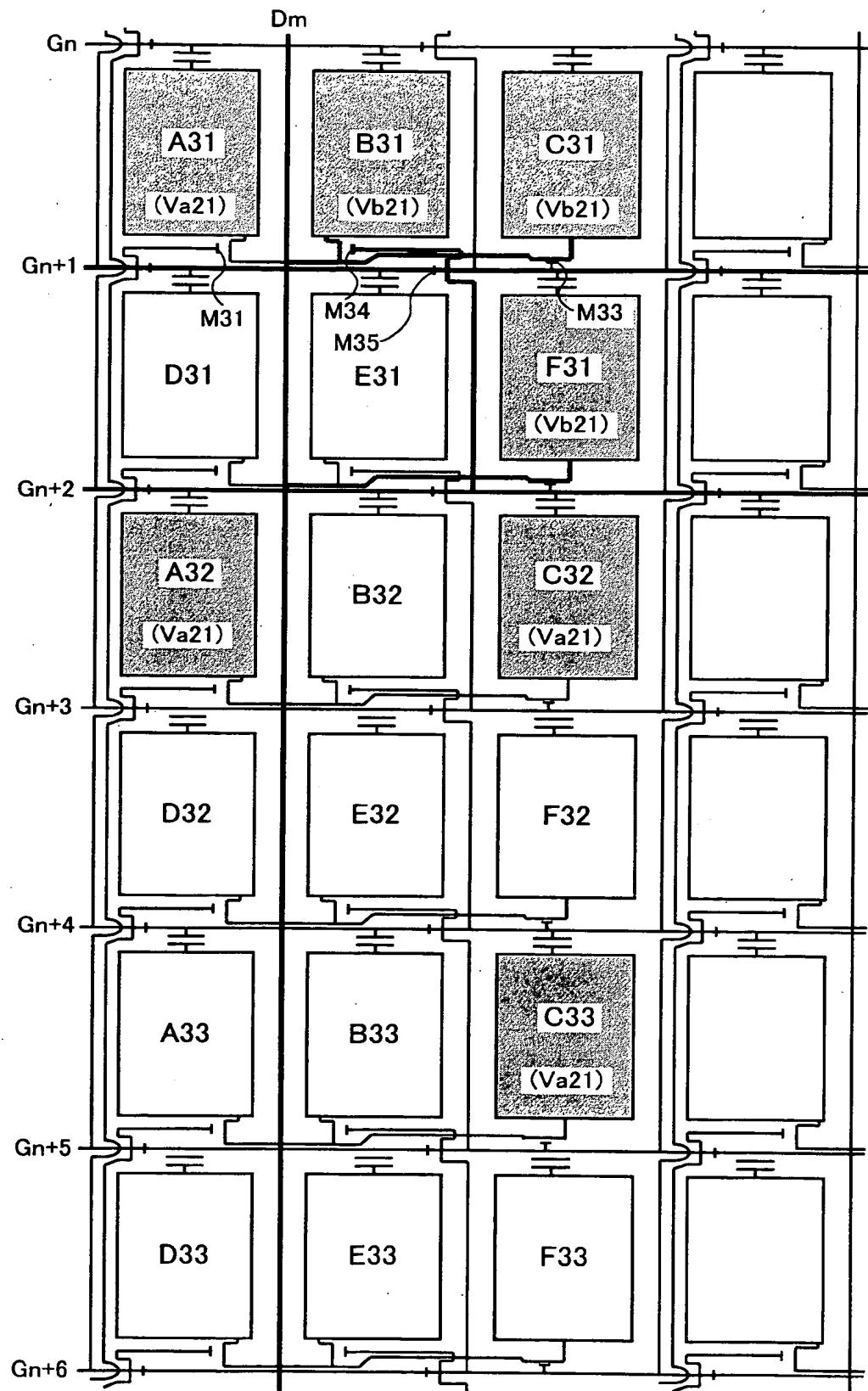
【図15】



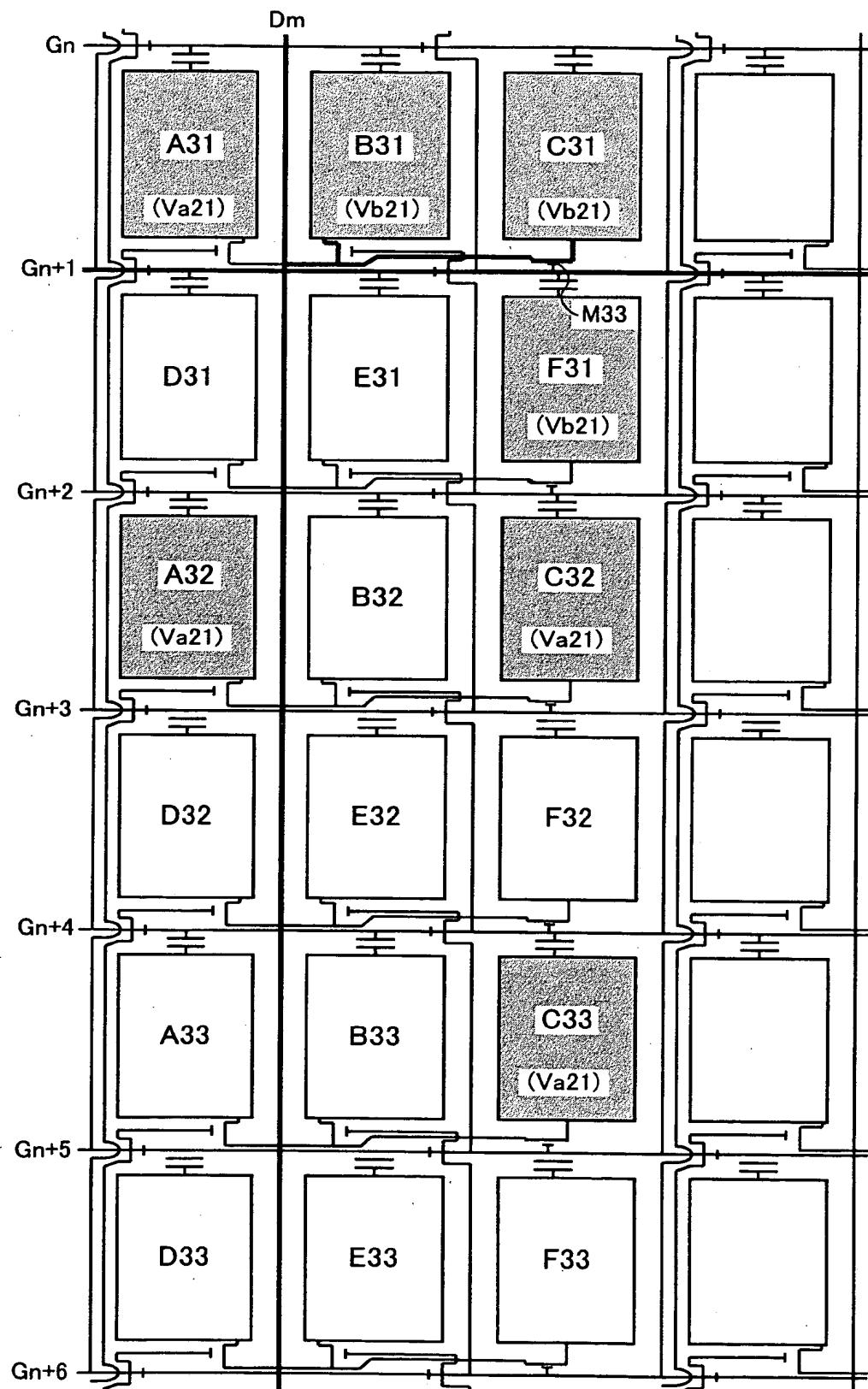
### 【図16】



【図17】



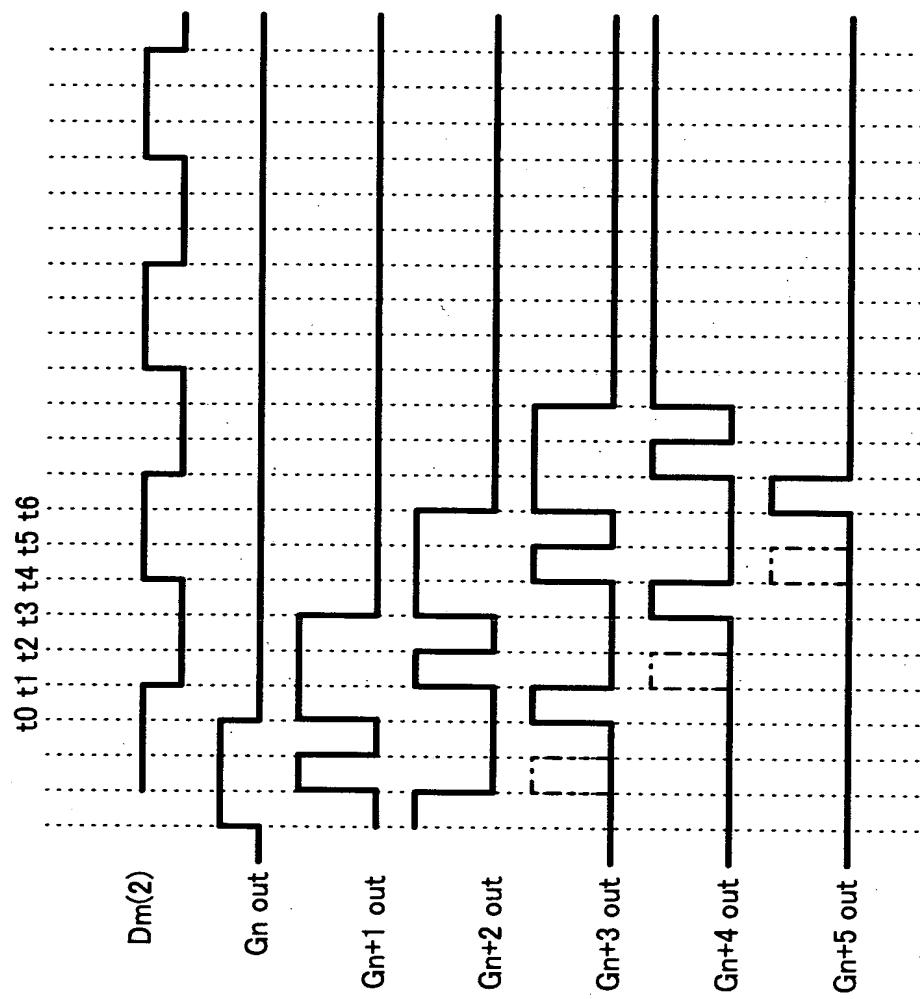
【図18】



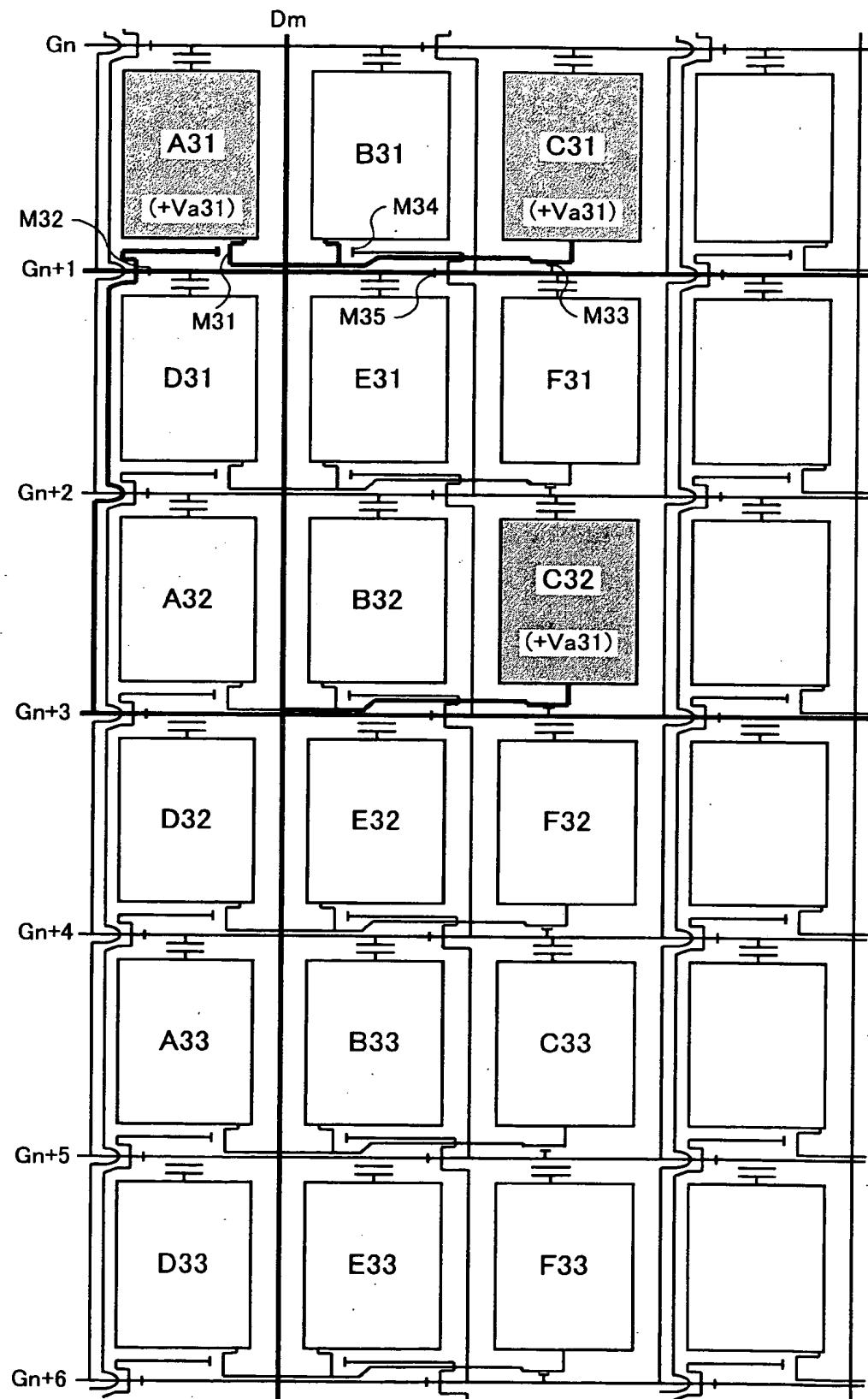
【図19】

Slot	A	B	C
$g(n+1)$	+A	+B	+C
$g(n+2)$	-	-B	-
$g(n+3)$	+A/PA	+	+
$g(n+4)$	-NoPulse	-NoPulse	-NoPulse
$g(n+5)$	+PA	+	+

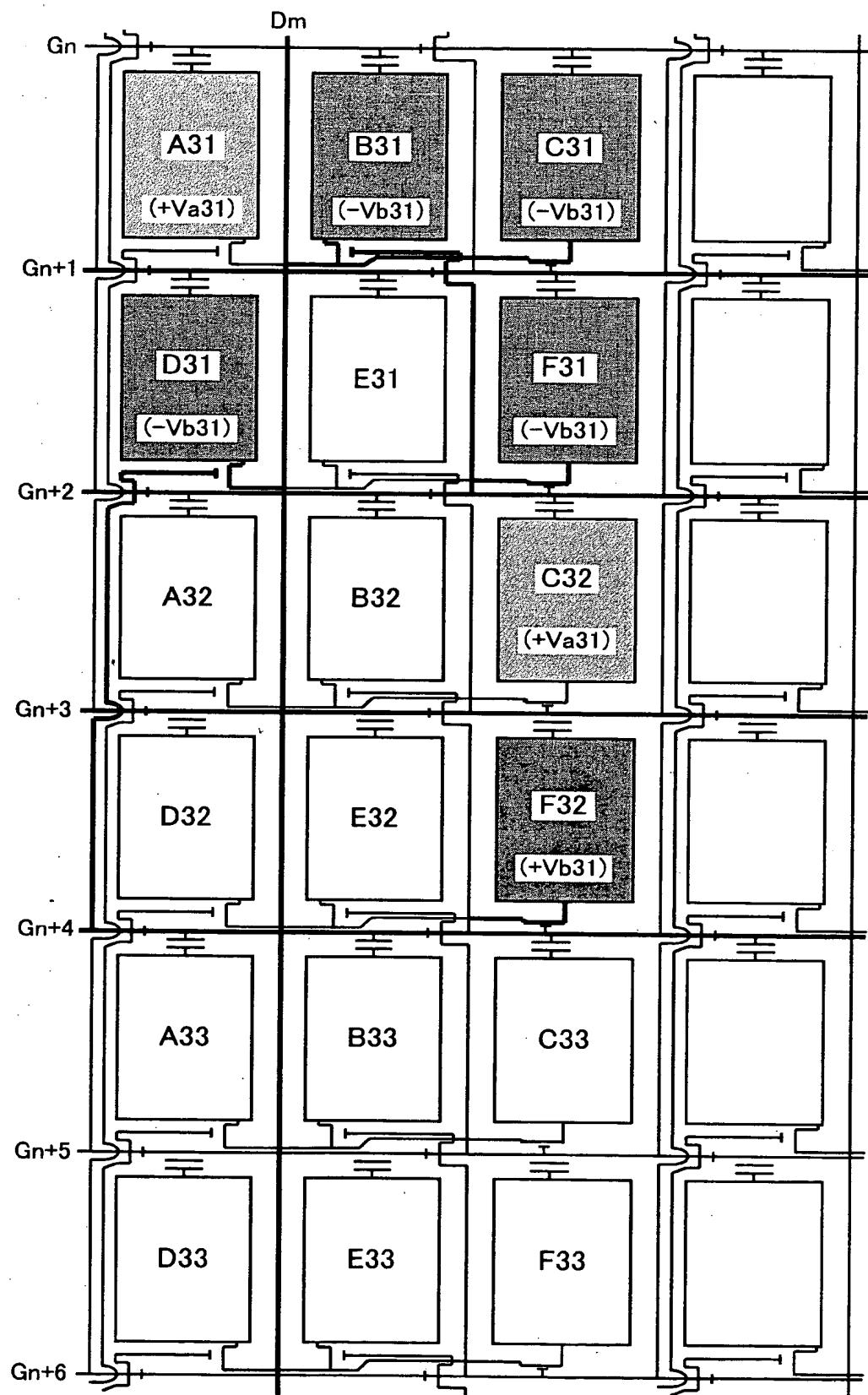
【図20】



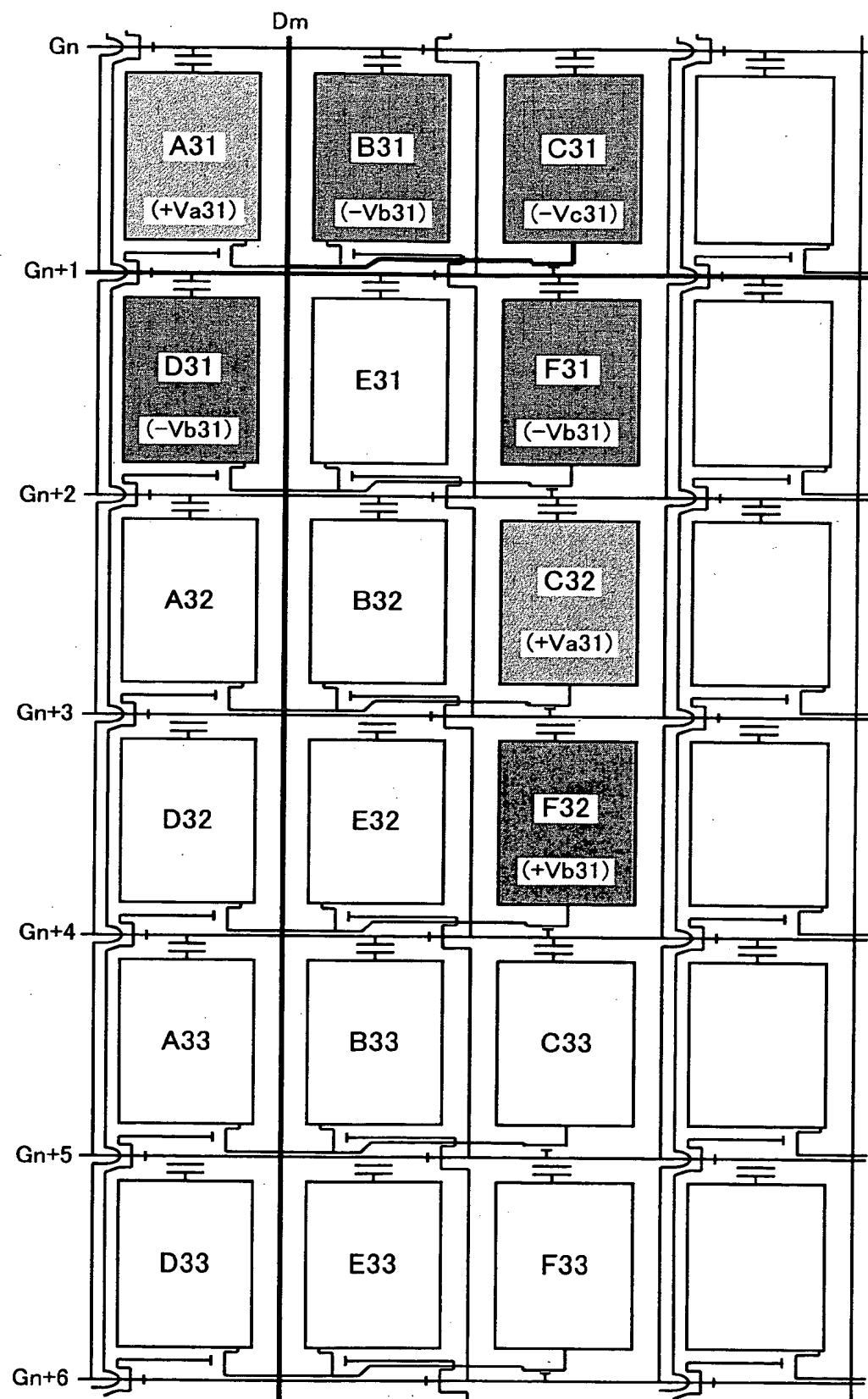
【図21】



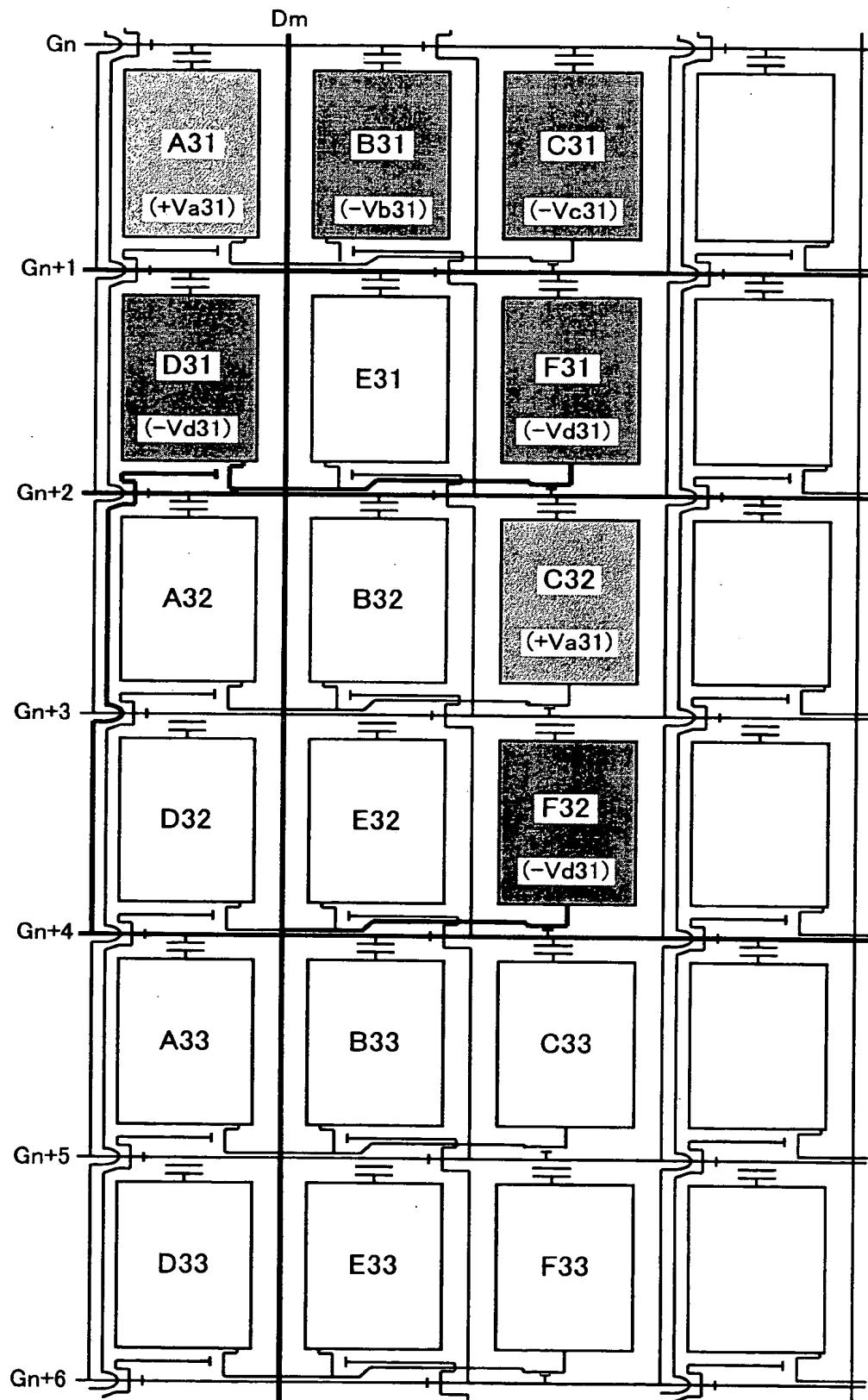
【図22】



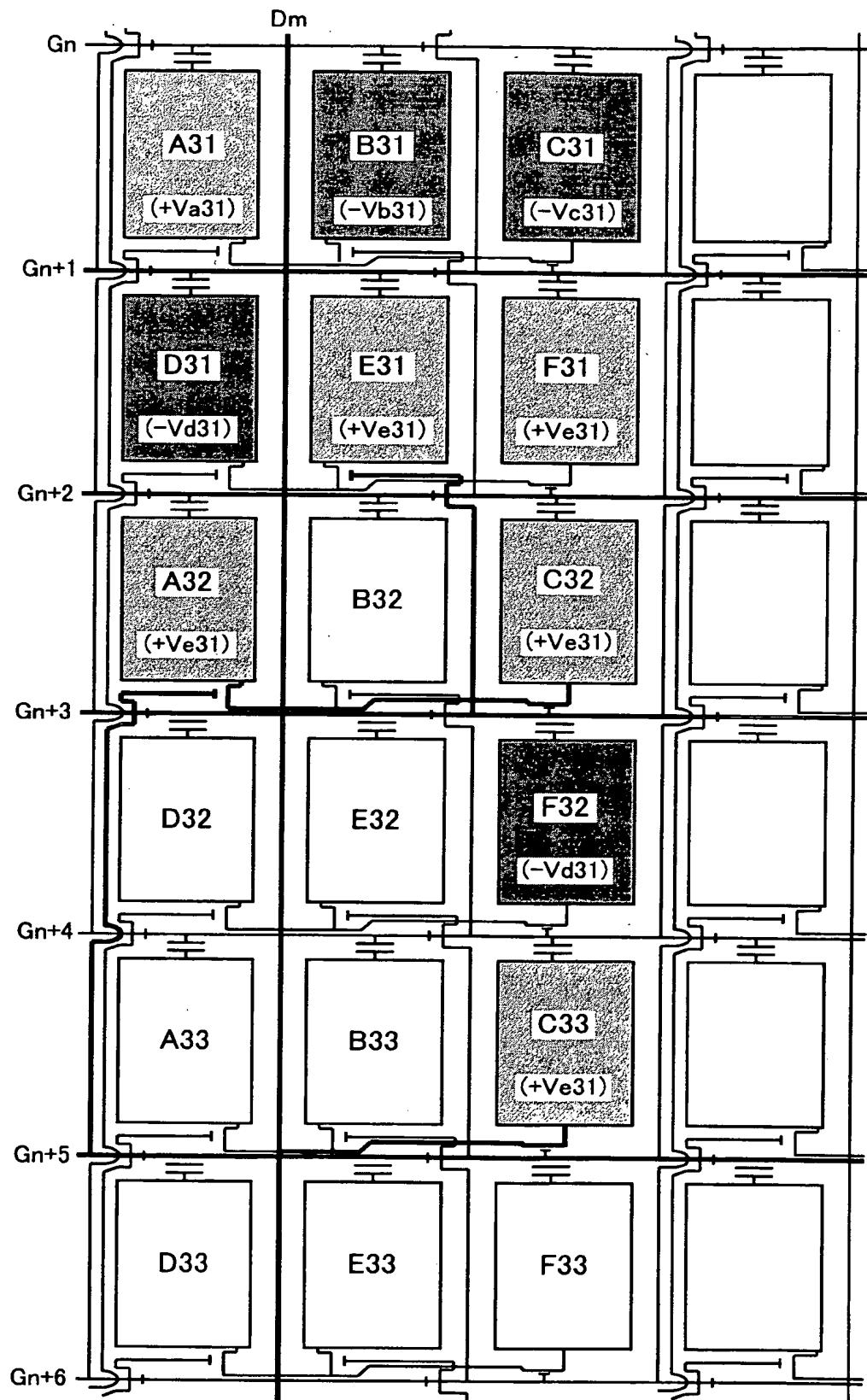
【図23】



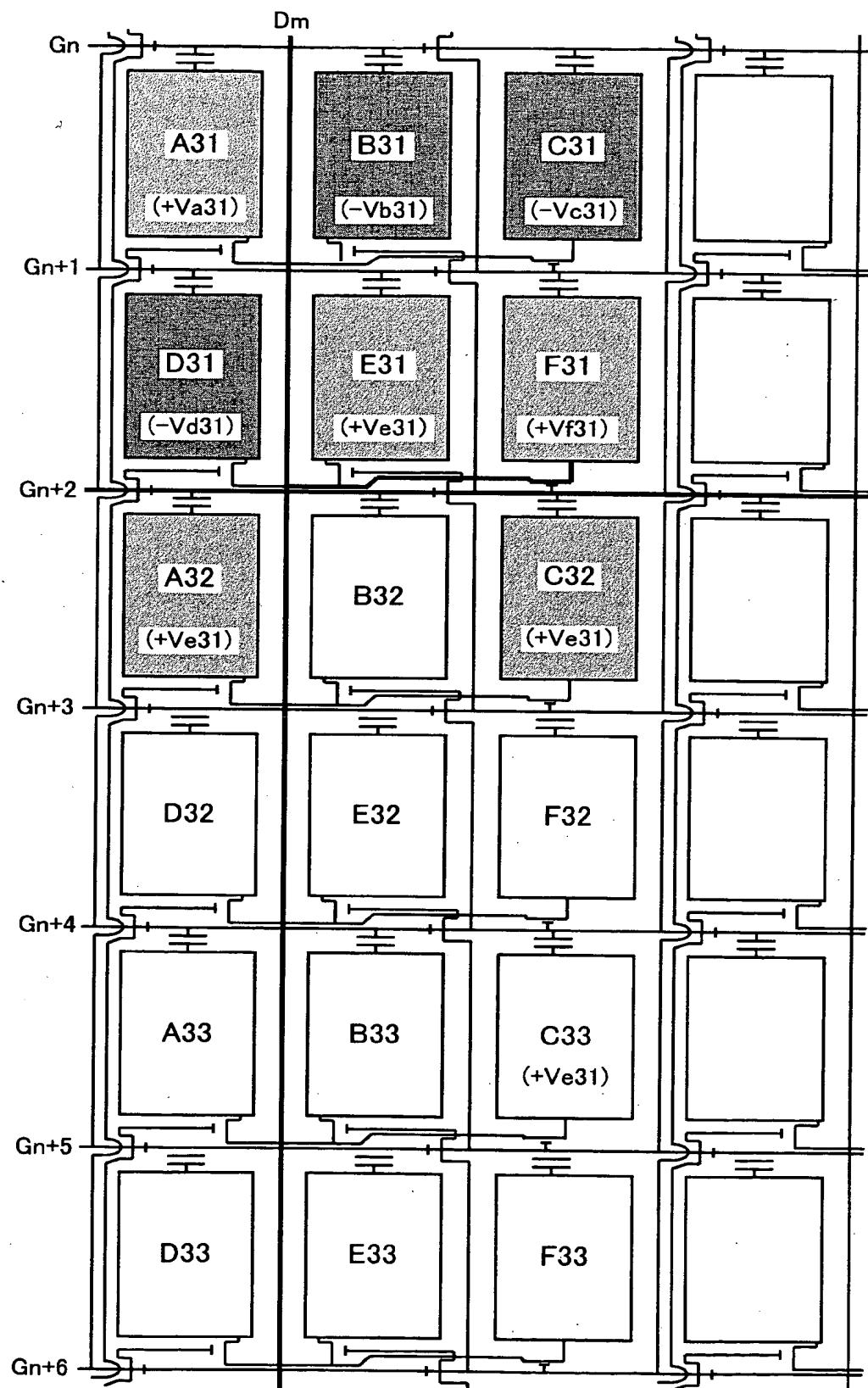
【図24】



【図25】



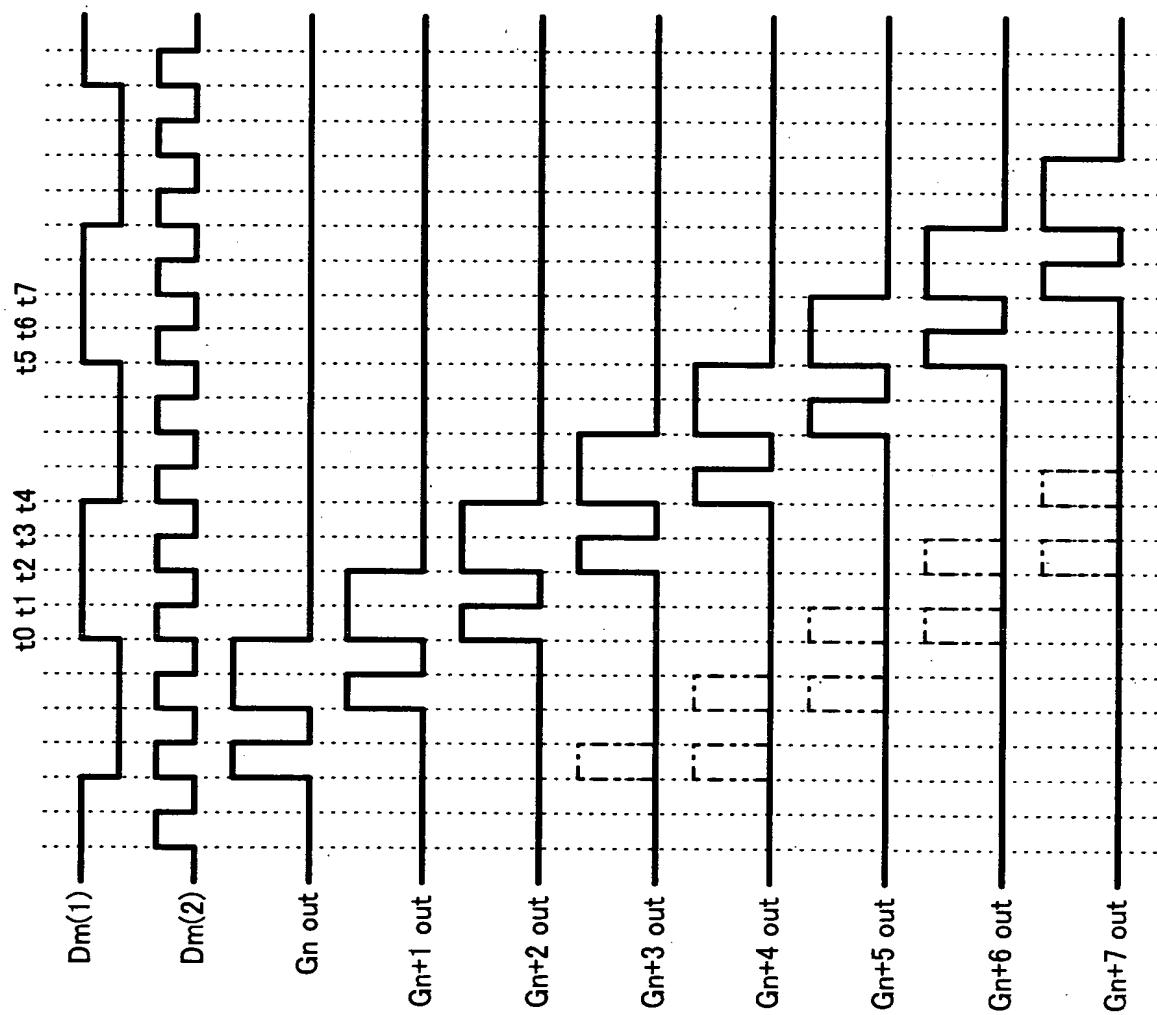
【図26】



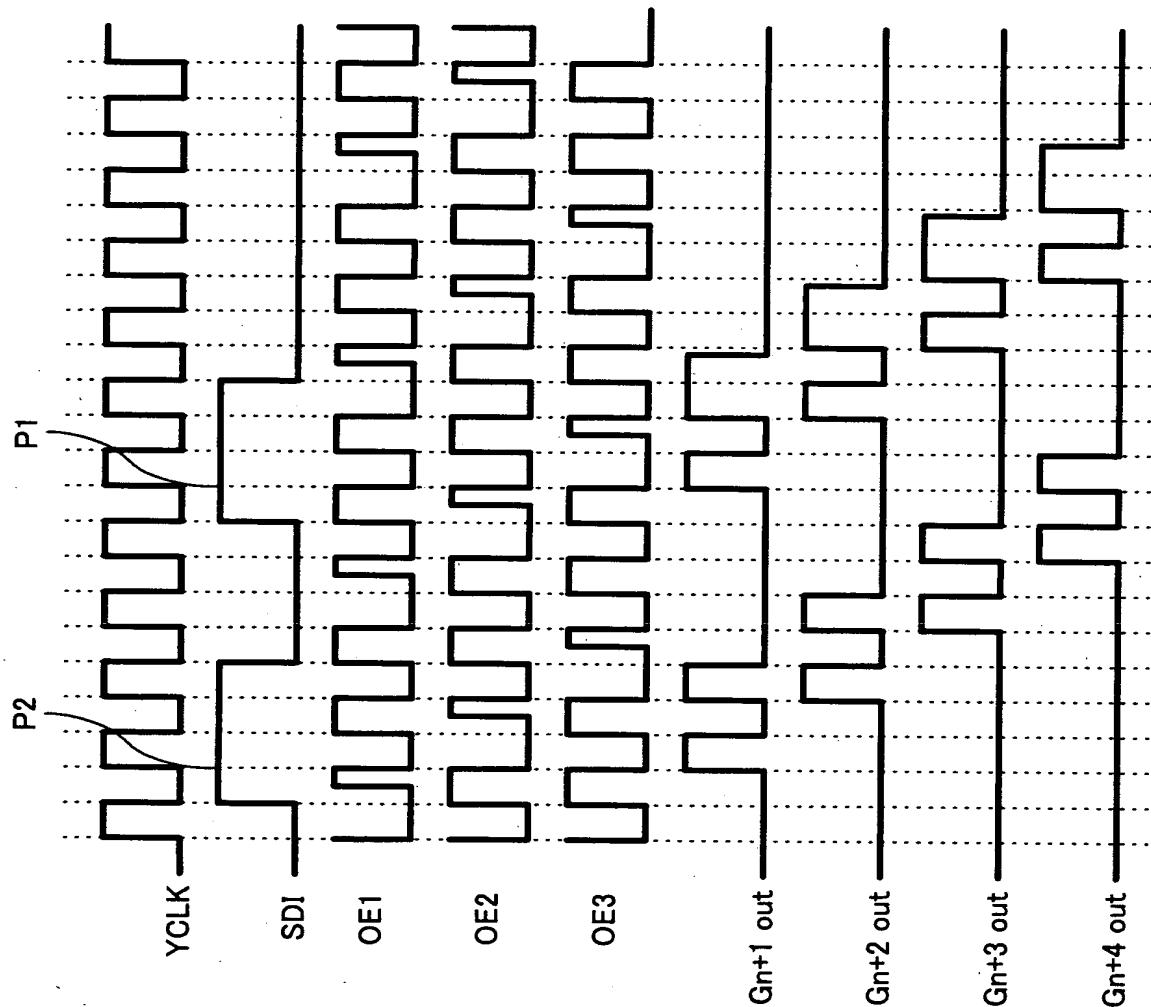
【図27】

Slot	A (D)	B (E)	C (F)
g(n+1)	+A	-B	-C
g(n+2)	-	+B/2D	+
g(n+3)	+A	-	-
g(n+4)	-	+PD	+

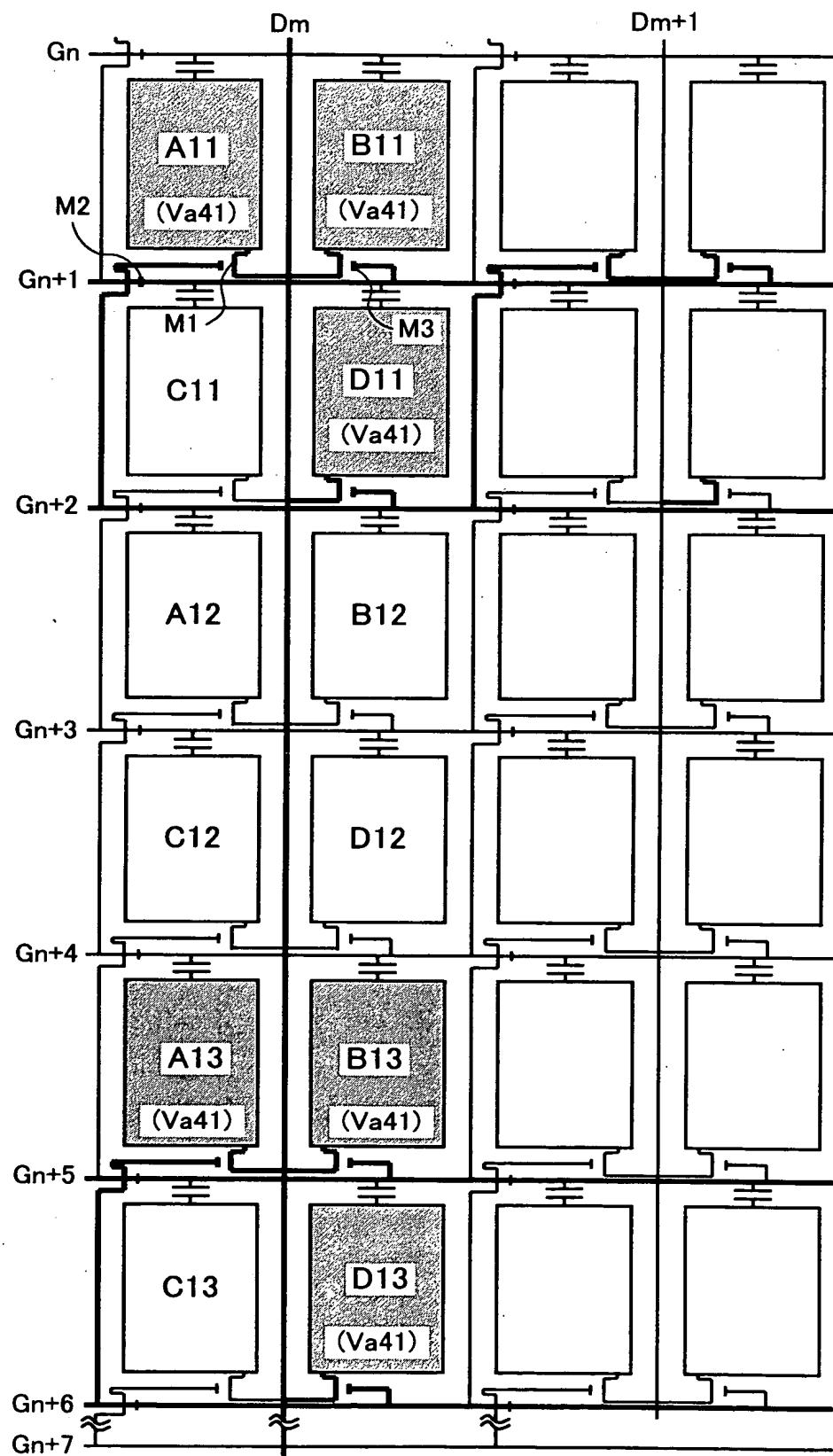
【図28】



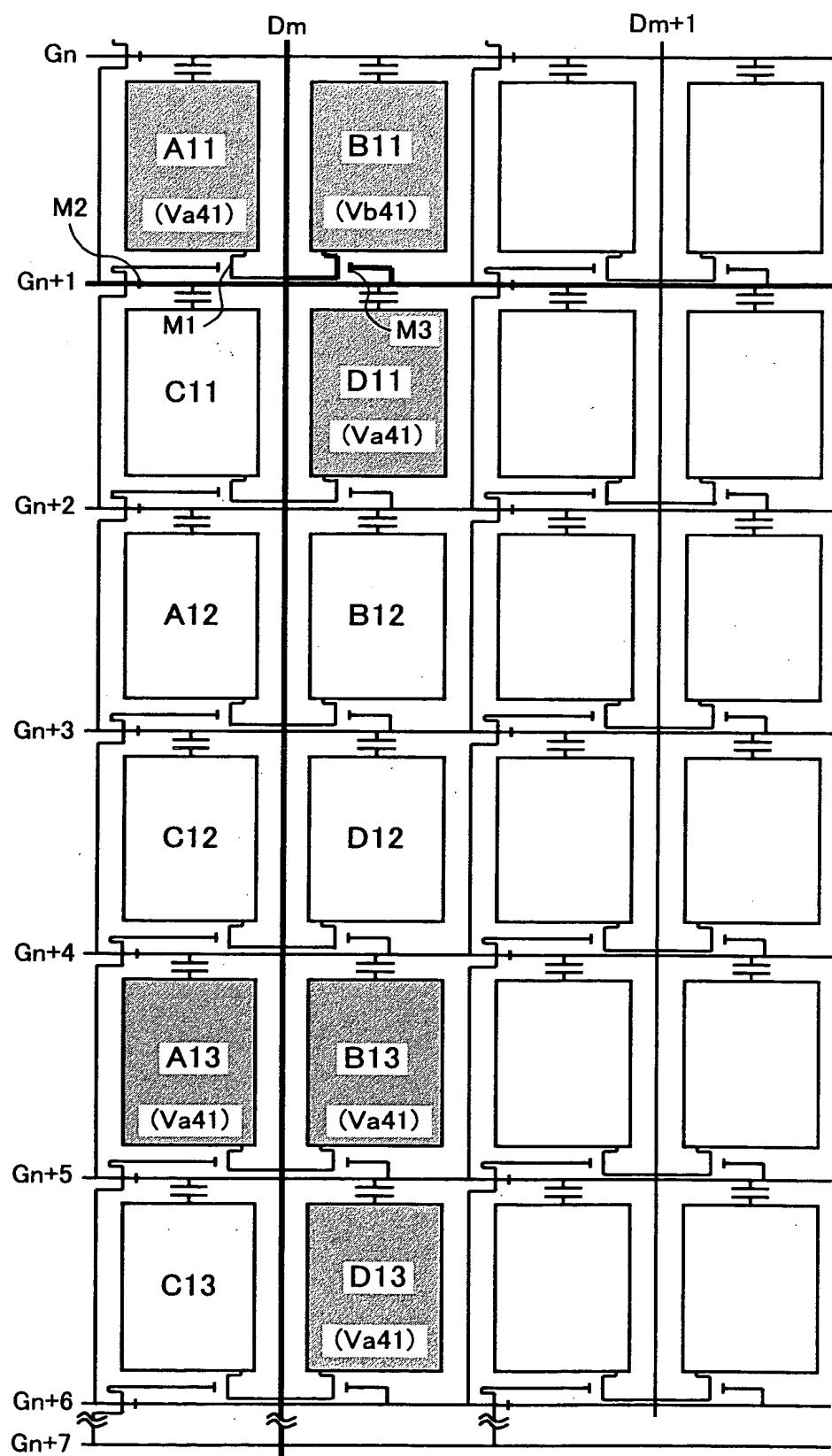
【図29】



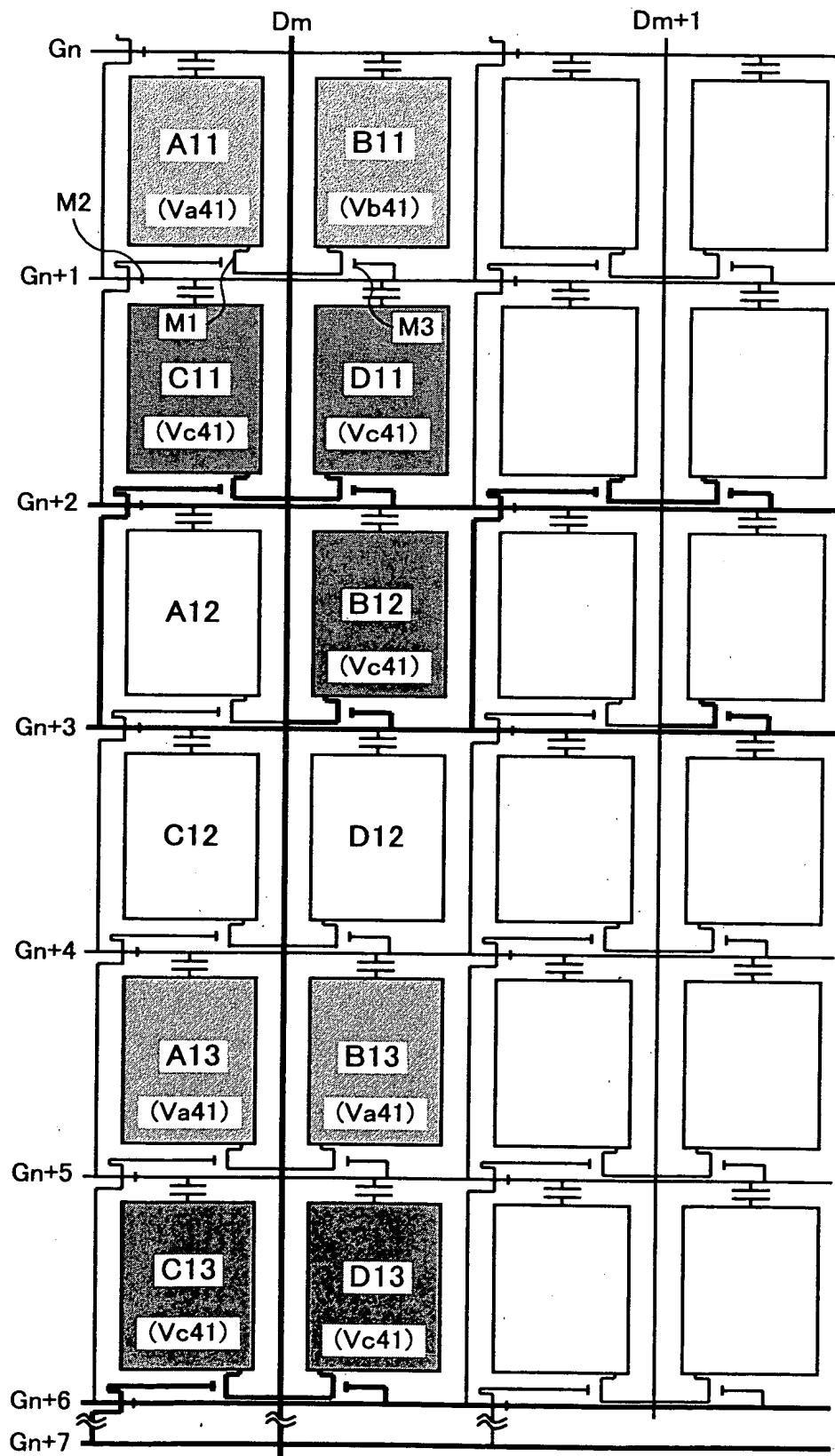
【図30】



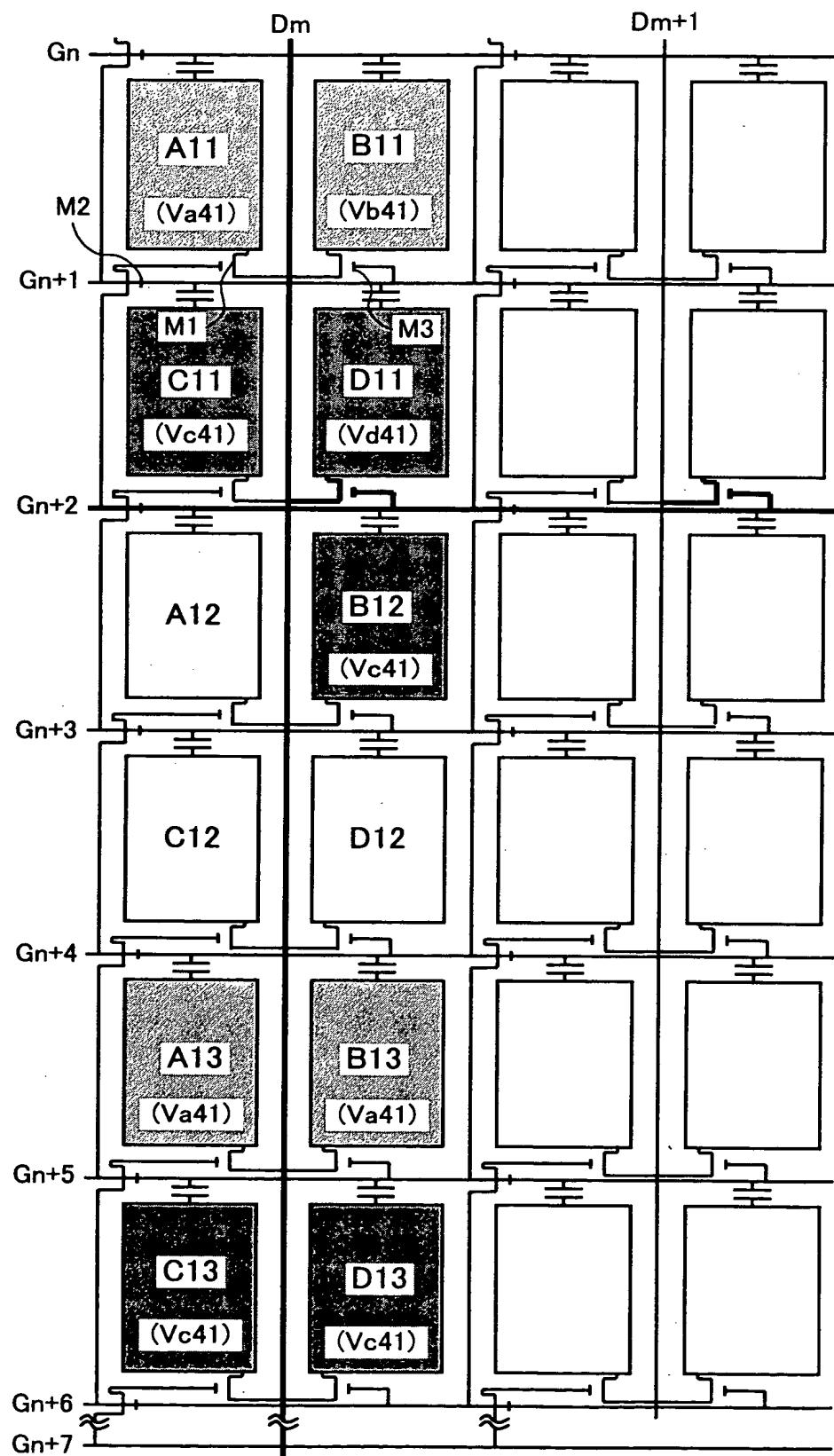
【図31】



【図32】



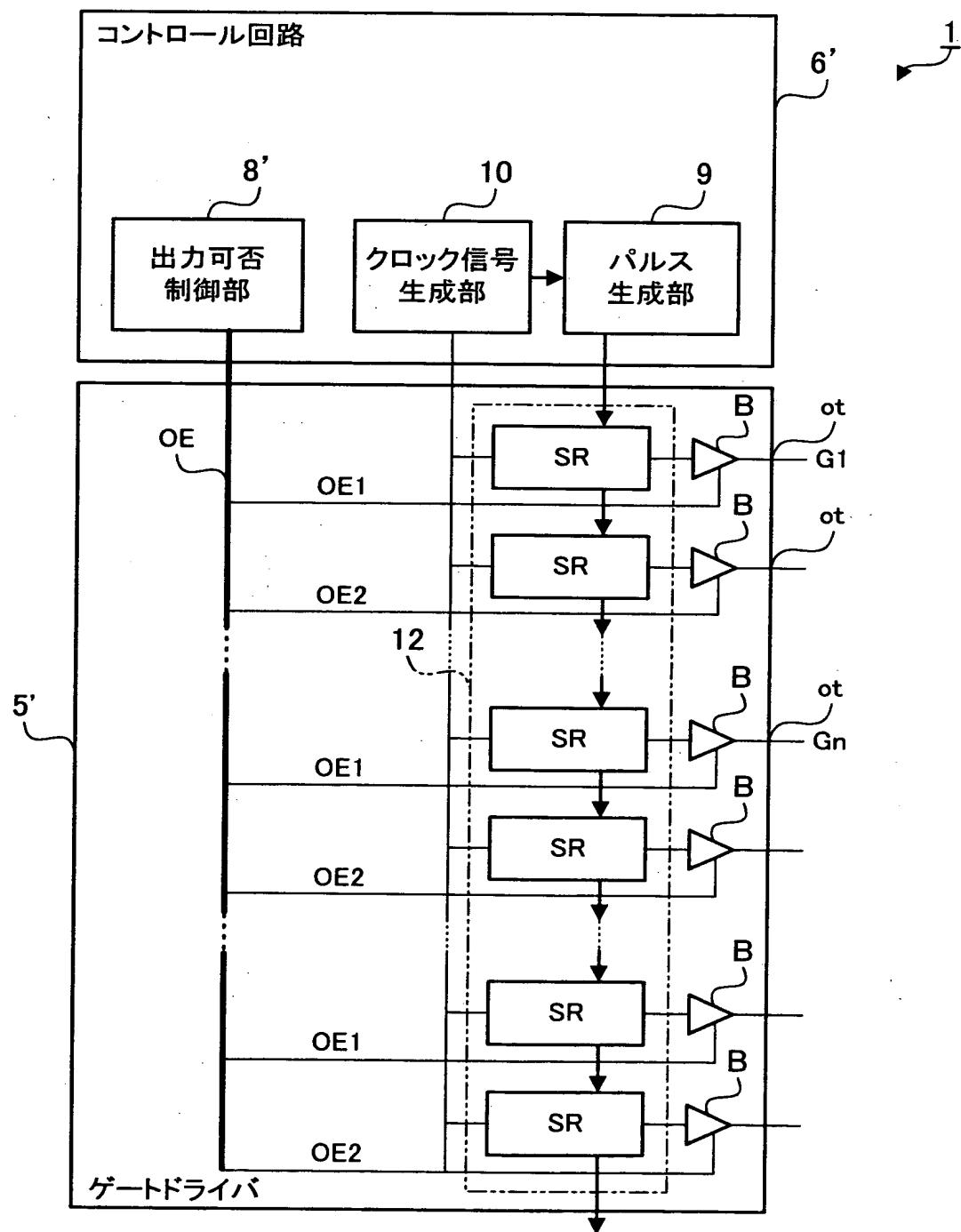
【図33】



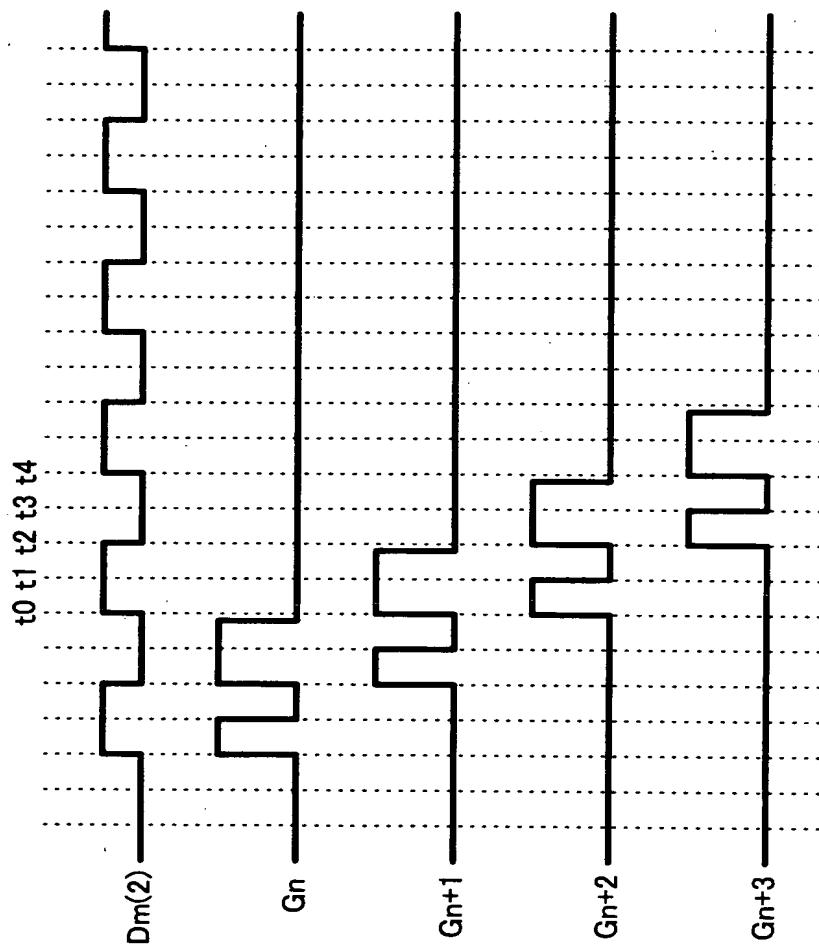
【図34】

Slot	A	B
$g(n+1)$	+A	+B
$g(n+2)$	+A	+
$g(n+3)$	-NoPulse	-NoPulse
$g(n+4)$	-NoPulse	-NoPulse
$g(n+5)$	+PA	+
$g(n+6)$	+PA	+

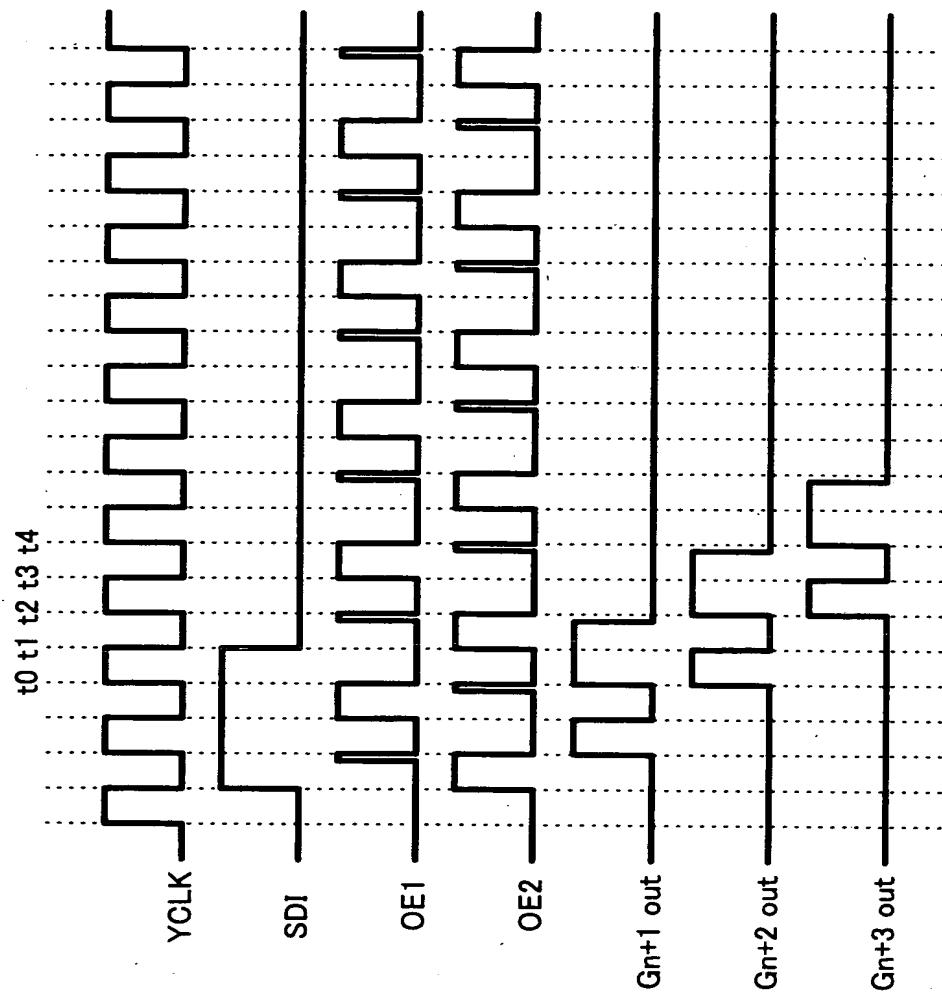
【図35】



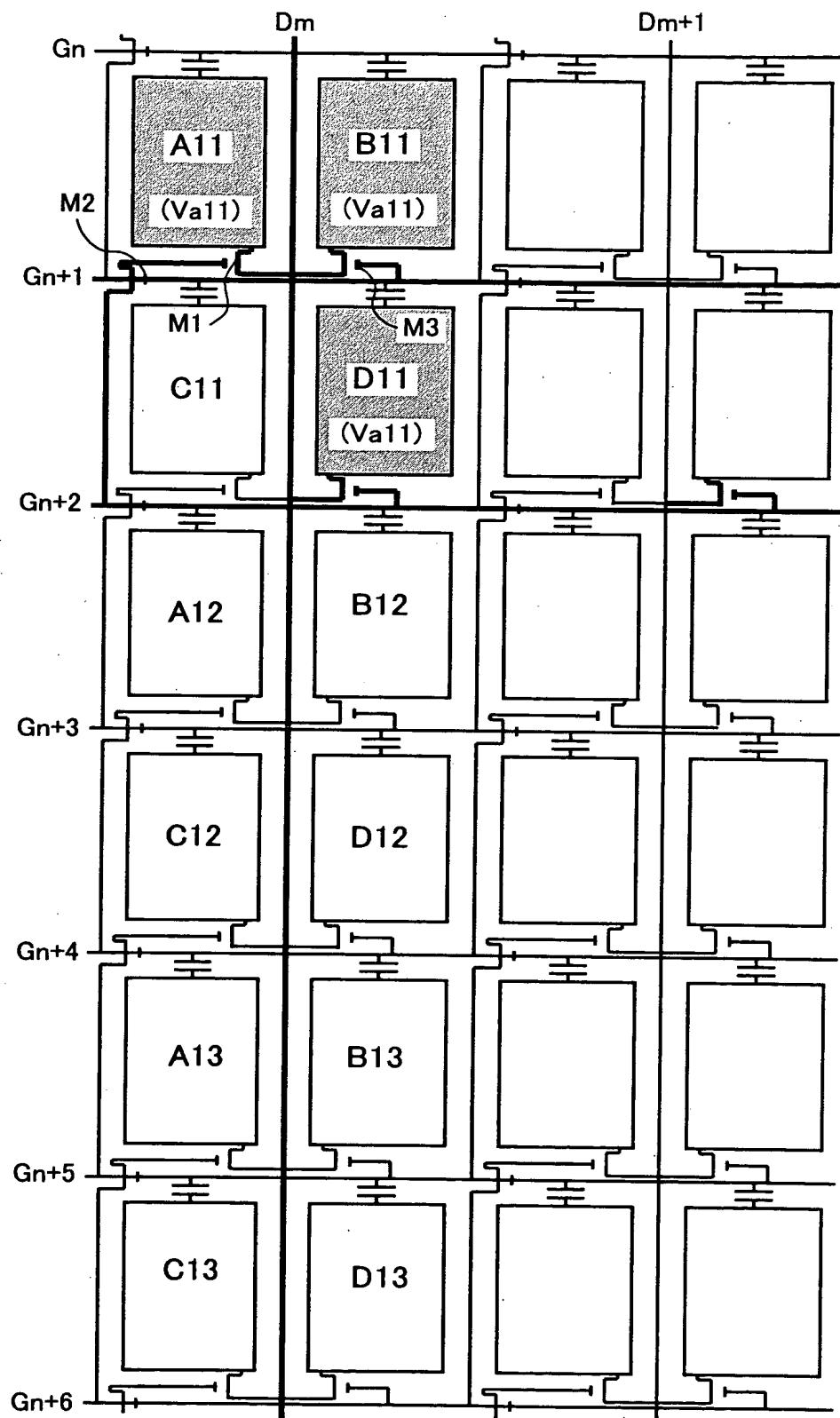
【図36】



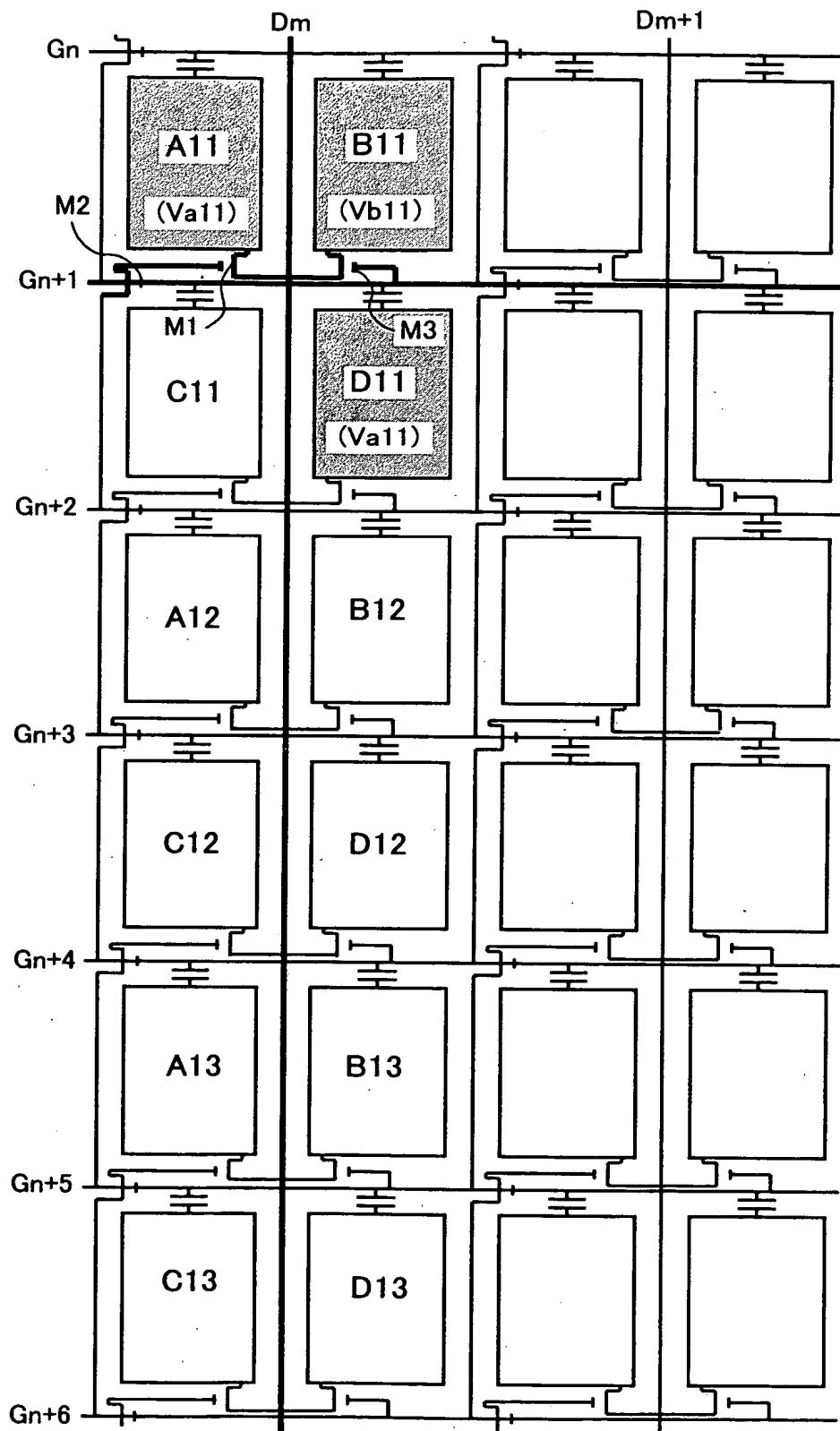
【図37】



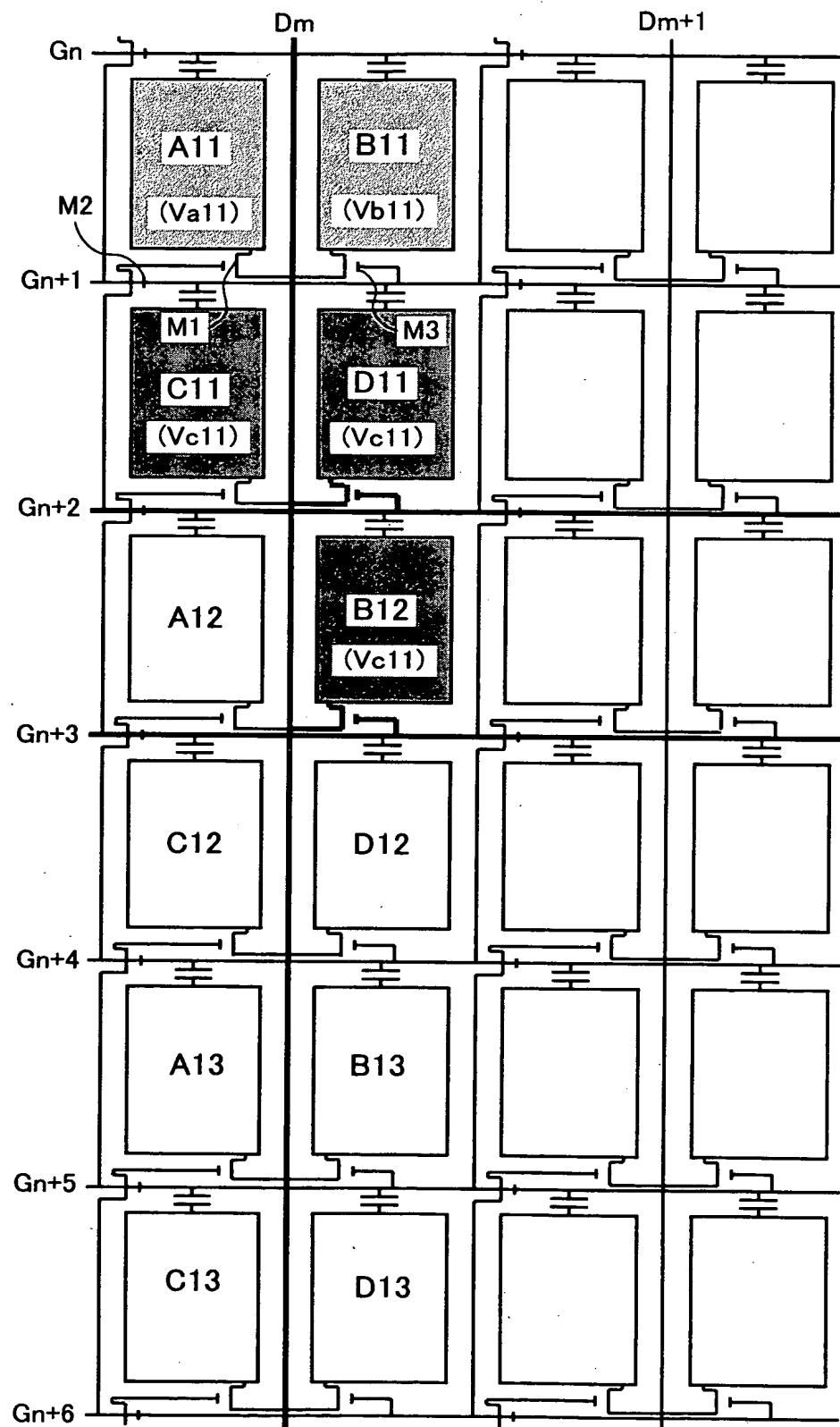
【図38】



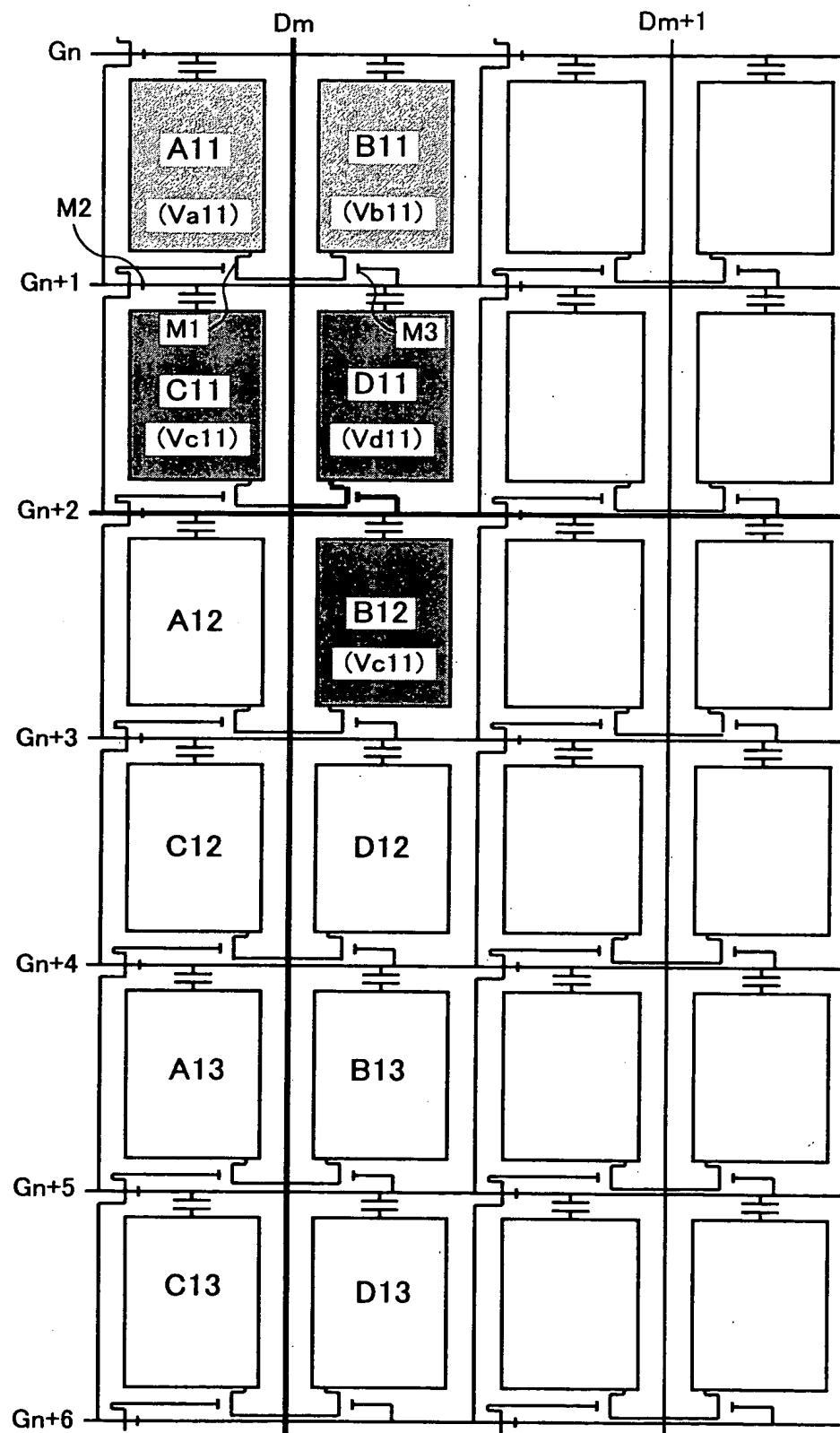
【図39】



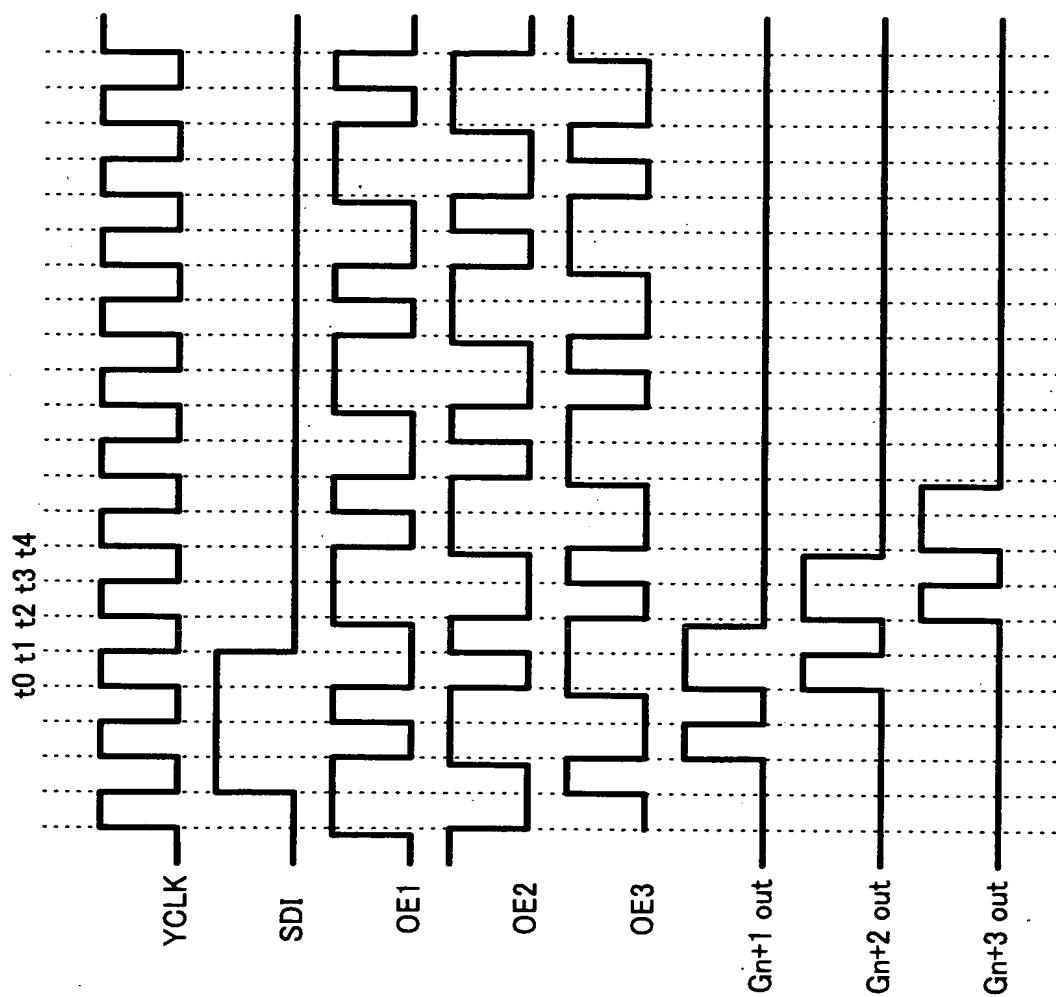
【図40】



【図41】



【図42】



【書類名】 要約書

【要約】

【課題】 効率的に、多重化された画素に選択信号を供給する。

【解決手段】 時間  $t_0 \sim t_2$ において、まず時間  $t_0 \sim t_1$  の間では、走査線  $G_{n+1}$  および  $G_{n+2}$  が選択されることにより画素電極  $A_{11}$  が駆動され、次いで、時間  $t_1 \sim t_2$  までの間では走査線  $G_{n+1}$  のみが選択されることにより、画素電極  $B_{11}$  が駆動される。また、時間  $t_1 \sim t_2$  までの間では、走査線  $G_{n+3}$  および  $G_{n+4}$  も選択され、これにより画素電極  $A_{12}$  が駆動される。時間  $t_2$  の後、時間  $t_4 \sim t_5$  までの間に走査線  $G_{n+3}$  および  $G_{n+4}$  の双方が選択されて画素電極  $A_{12}$  が駆動されるまで、走査線  $G_{n+3}$  および  $G_{n+4}$  のうちの少なくとも一方は非選択とされる。これにより、画素電極  $A_{12}$  を時間  $t_1 \sim t_2$  までの間で予備的に駆動し、時間  $t_4 \sim t_5$  までの間で駆動するまで、画素電極  $A_{12}$  が予備的に印加された電位を保持することができる。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願2001-334507
受付番号	50101608075
書類名	特許願
担当官	田中 則子 7067
作成日	平成13年12月12日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

## 【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

## 【代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏

## 【代理人】

【識別番号】	100106699
【住所又は居所】	神奈川県大和市下鶴間1623番14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	渡部 弘道

## 【復代理人】

【識別番号】	100104880
【住所又は居所】	東京都港区赤坂5-4-11 山口建設第2ビル 6F セリオ国際特許事務所
【氏名又は名称】	古部 次郎

## 【選任した復代理人】

【識別番号】	100100077
--------	-----------

次頁有

認定・付加情報（続き）

【住所又は居所】 東京都港区赤坂5-4-11 山口建設第2ビル  
6F セリオ国際特許事務所

【氏名又は名称】 大場 充

次頁無

出願人履歴情報

識別番号 [390009531]

1. 変更年月日 2000年 5月16日

[変更理由] 名称変更

住 所 アメリカ合衆国 10504、ニューヨーク州 アーモンク (番地なし)

氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**